

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]it is a clock distribution system which provides a related circuit with a clock signal of two or more phases -- with the 1st clock signal circuit that provides the 1st clock signal that changes between the 1st state and the 2nd state. The 2nd clock signal circuit that provides the 2nd clock signal that changes between the 1st state and the 2nd state is included, When the 1st clock signal circuit changes from the 1st state to the 2nd state, the 1st clock signal circuit provides the 2nd clock signal circuit with the 1st signal, The 2nd clock signal circuit is changed from the 1st state to the 2nd state by it, When the 2nd clock signal circuit answers the 1st signal and it changes from the 1st state to the 2nd state, the 2nd clock signal circuit provides the 1st clock signal circuit with the 2nd signal, A clock distribution system which makes it possible that the 2nd signal makes the 1st clock signal circuit return to the 1st state from the 2nd state by it.

[Claim 2]The 3rd clock signal circuit that provides the 3rd clock signal that changes between the 1st state and the 2nd state is included further, When the 3rd clock signal circuit changes from the 1st state to the 2nd state, the 3rd clock signal circuit provides the 1st clock signal circuit with the 1st signal, The 1st clock signal circuit is changed from the 1st state to the 2nd state by it, When the 1st clock signal circuit answers the 2nd signal and it changes from the 1st state to the 2nd state, the 1st clock signal circuit provides the 3rd clock signal circuit with the 2nd signal, The clock distribution system according to claim 1 which makes the 3rd clock signal circuit return to the 1st state from the 2nd state by it.

[Claim 3]The 1st clock signal circuit has the 1st input terminal combined with the 2nd clock signal circuit, and the 2nd input terminal combined with the 3rd clock signal circuit, The clock distribution system according to claim 2 which contains further the 1st logical element that has the output terminal combined so that the 1st clock signal might be provided.

[Claim 4]The clock distribution system according to claim 3 with which the 1st logical element

includes a Muller C element.

[Claim 5]The clock distribution system according to claim 4 with which the 1st input terminal is combined with an output terminal in the 2nd clock signal circuit, and the 2nd input terminal is combined with an output terminal in the 3rd clock signal circuit.

[Claim 6]The clock distribution system according to claim 3 which contains the 2nd logical element further, comprising:

The 1st input terminal in which an output terminal of the 1st logical element was combined for the 1st clock signal circuit.

The 2nd input terminal combined with the 2nd clock circuit.

An output terminal combined with a related circuit.

[Claim 7]The clock distribution system according to claim 6 with which the 2nd logical element contains an exclusion NOR gate.

[Claim 8]The clock distribution system according to claim 6 which contains further the 3rd logical element that provides the 2nd signal combined between the 1st clock circuit and the 2nd clock circuit.

[Claim 9]The clock distribution system according to claim 8 with which the 3rd logical element contains an inverter which has the input terminal combined with an output terminal of the 1st logical element.

[Claim 10]The clock distribution system according to claim 2 with which the 2nd and 3rd clock circuits include further loop connection it is made to influence each other between the 2nd clock circuit and the 3rd clock circuit.

[Claim 11]It is a clock distribution system which provides a related circuit with a clock signal of two or more phases, It is combined so that the 1st clock signal circuit may separate the 2nd clock signal circuit from the 3rd clock signal circuit, The 1st input node combined in order that the 1st clock signal circuit might receive a signal from the 3rd clock signal circuit, The 2nd input node combined in order to receive a signal from the 2nd clock signal circuit, The 1st output node combined in order to provide the 2nd clock signal circuit with a signal, A clock distribution system combined with the 1st input and output node by which the 1st clock circuit controls the 2nd and 3rd clock signal circuits including the 2nd output node combined in order to provide the 3rd clock signal circuit with a signal. [2nd]

[Claim 12]The clock distribution system according to claim 11 into which said 2nd logical element detects a change of state of either the 1st input terminal or the 2nd input terminal, answers it including the 2nd logical element, and a state of the output terminal is changed, comprising:

The 1st clock signal circuit is further, The 1st input terminal combined with the 1st input node

The 1st logical element that has the 2nd input terminal combined with the 2nd input node, and

has the output terminal combined with the 1st output node is included, Said 1st logical element detects a change of state of both the 1st input terminal and the 2nd input terminal, answers it, and a state of the output terminal is changed, The 1st input terminal combined with the 2nd input node

An output terminal which has the 2nd input terminal combined with the 1st output node, and was combined with a related circuit.

[Claim 13]The clock distribution system according to claim 12 with which the 1st logical element includes a Muller C element, and the 2nd logical element contains an exclusion NOR gate.

[Claim 14]The clock distribution system according to claim 11 which contains further the 1st delay element with which a signal which reaches the 1st input node combined with the 1st input node is delayed, and the 2nd delay element with which a signal supplied from the 2nd output node combined with the 2nd output node is delayed.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

(Cross-reference to related application)

U.S. ***** of the September 4, 1998 presentation by which this application was entitled "Method for Generation and Distribution of Polyphase Clock Signals" It is related to an item.

[0002]

(The background of an invention)

This invention relates to the clock system which controls the electronic circuit of a computer or others, especially the distribution clock system which provides the signal corresponding to two or more phases of a master clock.

[0003]

In manufacture of the circuit of computer systems and others, a clock signal is given to various elements, such as a component on a single chip, or a circuit, or the element currently distributed by even all the corners of the computer systems themselves in many cases. In the case of the complex network which consists of a data communication channel which is looked at by the conventional computer systems. It must generate at time for many clock signals to be correctly equivalent to the clock signal of the adjoining part of a system irrespective of whether it is distributed in which [of a single chip and two or more chips] top. By such a system, the term of "adjoining" means the portion of the circuit which adjoins in the sense of electronic timing although it separates comparatively and is arranged mutually. The design of such a clock distribution system and debugging are becoming unusually difficult work as computer systems develop so that it may operate with a high-speed clock rate increasingly.

[0004]

In the computer systems of the usual conventional technology, a master clock signal is generated for a single chip or a printed-circuit board, or is generated or supplied by other

methods. Subsequently, a clock signal uses a lead for the whole circuit, and is distributed to it. The designer of such a system has to pay careful attention, in order to guarantee arriving at the time for each of the circuit of a controlled object when a clock signal is suitable. This work requires time and is a high cost.

[0005]

The clock distribution system of the usual conventional technology Bakoglu.H.B."Circuits, Interconnections, and Packaging for VSLI" Addison-Wesley (1990), Glasser, Lance A. "The Design and Analysis of VSLI Circuits, Addison-Wesley" (1985) etc. U.S. Pat. No. 4700347 entitled Rettberg, and "Digital Phase Adjustment" (October, 1985) besides Randall D., Eby Friedman "Clock Disttubution" IEEE Press(), And it is indicated to Waste&Eschraghian, "Principles of CMOS VLSI Design" 2nd edition, and Addison-Wesley (1999).

[0006]

(Outline of an invention)

A synchronizing clock signal is provided with a number of phases considered that the technique explained below has a useful designer of a given data path circuit. Such a system calls such a system a "polyphase" clock distribution system in order to generate a number of required clock phases. A polyphase clock distribution system recognizes the timing restriction of data path control clearly, and he is trying to agree for the specific needs of a local data circuit that each clock phase uses it. Although all the clock signals synchronize with global clock signals, each clock signal gains a suitable phase on local conditions.

[0007]

One embodiment of a polyphase clock distribution system consists of a network of the easy circuit which materializes the timing restriction conditions of the circuit of others which are controlled on the computer or the chip. In the part which has on a chip a course which passes data from one register to another register, the segment to which a polyphase clock distribution network corresponds always provides both the transmitting side and a receiver with a clock signal. Each segment of a polyphase clock distribution network guarantees the conformity of a clock signal about the specific transmitting side and a specific receiver. The clock signal of a receiver is not over required time, although only sufficient time for data to be transmitted is delayed for the clock signal of the transmitting side. After the clock signal in front of a receiver, the next clock signal of the transmitting side keeps long time, and is supplied as the ambiguity of data is avoided.

[0008]

There are many data paths in a compound chip, and the polyphase clock distribution system must have a segment of the number corresponding to it. These segments of a polyphase clock distribution system show the same topology as what generally appears in the data path on a chip. In the part which some data paths on a chip concentrate, the segment corresponding to it

of a polyphase clock distribution system is also concentrated. Generally, the correspondence relation of the couple 1 between the junction of a data path and the junction of the segment of a polyphase clock distribution system is.

[0009]

At each junction of a data path, a register or a latch does the work as the transmitting side or the receiver of an outgoing data course from the arrival to the junction, or there. The clock for the register in a junction or a latch must suit the needs of all the data paths that the junction register exists. The circuit in the junction at which the timing segment of a polyphase clock distribution system corresponds guarantees the conformity.

[0010]

A polyphase clock distribution system guarantees the conformity in each junction by delaying each clock event until all the constraints are fulfilled. For example, the register which picks out data from some sauce is considered. The junction circuit of a polyphase clock distribution system, The clock signal which incorporates data into such a register to the timing delayed as enough, although all the incoming datas could use for the moment of incorporation is arranged, and the clock signal for holding data is arranged until it reaches all the destinations by which data was planned.

[0011]

When an external signal is not provided, a polyphase clock distribution system is oscillated with the maximum frequency which fulfills the timing restriction conditions which it materializes. For example, when a low-speed data path needs X nanosecond between a transmit clock and a receive clock and needs Y nanoseconds between a receive clock and the following transmit clock from that in a network, such a system can generate a clock signal for every $X+Y$ nanosecond. When there are the latest constraints about the whole system, the whole polyphase clock distribution network is oscillated with the cycle of a $X+Y$ nanosecond. The self-oscillation cycle of the polyphase clock distribution system of a complex network is the shortest cycle that suits all the constraints which a complex network materializes. The system operates with the maximum velocity which constraints allow.

[0012]

When the periodic timing signal which has a cycle longer than the self-oscillation cycle of a polyphase clock distribution system is supplied to a polyphase clock distribution system, a multiphase system adopts the cycle in all parts. The use by which the polyphase clock distribution system was meant is distributing such a periodic signal to the whole chip. Although each local clock signal shows the same cycle and frequency, each signal will have a unique phase determined by local needs.

[0013]

A polyphase clock system provides many advantages as compared with the conventional clock

signal distribution system. For example, a polyphase clock distribution system controls a clock skew by a form that it is not global and local, and simplifies the work of a design of a clock circuit. The phase of a local clock fulfills the needs of a local circuit. When it operates with lower power level and a broad data path needs a larger driver, global clock signals are accepted locally and gain larger electric power. A polyphase clock system makes comparatively easy "time borrowing" a stage with a pipeline "borrows" fixed time from another stage. The phase of a local clock signal holds suitable phase relation over the wide range clock frequency containing a suitable, very low clock frequency to reduce the power consumption in a certain kind of operational mode. In a polyphase clock system, the design of a data path can be changed, without changing a clock distribution system thoroughly so that clearly from the following explanation. As compared with the case where the conventional clock is used, current demand is uniformly distributed by the clock period. These advantages are explained in full detail below.

[0014]

In one embodiment of a polyphase clock distribution system, a circuit related with two or more phases is provided with a clock signal. In the easiest mode, this system contains two or more clock signal generating devices combined in series, Each clock signal generating device gives the 1st control signal to the clock signal generating device of succession of an in-series clock signal generating device, give the clock signal generating device to the 2nd state from the 1st state, and, as for change ** and the clock signal generating device of each succession, they give the 2nd control signal to the precedence clock signal generating device of an in-series clock signal generating device -- the clock signal generating device -- the 1st state from the 2nd state -- change ****. Thus, each stage generates the clock signal provided with the suitable phase for both two or more clock signal generating devices contiguous to the circuit of a controlled object.

[0015]

(Explanation of a specific embodiment)

As given an outline above, this invention contains the system which generates and distributes the synchronizing clock signal which has many phases. In order to understand this invention better, the synchronous clock system of a figure is made into an example, and is explained. It starts and ends by the clock register file 12, and the system of illustration is shown in drawing 1 as a 5 data-stage pipeline having a single bypass loop including the elements 20, 22, and 25 which are closed in the course 15, and by which interconnection was carried out. (Henceforth, when not ambiguous, the reference to the closing course shows a loop.) That is, the bypass loop 15 shows the loop which the top defined. The clock signal which controls this data path is generated by a series of timing stages shown in the left-hand side of a figure. the local clock signal C1 of the phase with each suitable stage in which the timing signal drawn from the R-

Clock signal 50 goes up every one timing Cheung stage here, C2, and ... C5 is generated. Although a data pipeline's illustrated function is not related to an understanding of the clock generation method to explain, each stage S1 of this pipeline, S2, and ... it is shown in S5 as usual function 17, i.e., setup, arithmetic logic unit (ALU) 20, carry A22, carry B25, and stage 28 which can perform each. The bypass loop 15 recycles the result of the carry B stage 25 on the ALU stage 20. Input signal data is incorporated on the input node of the device of each data path stage using a peculiar latch (not shown) by drawing 1. Therefore, for example, although a latch holds input data on the input terminal of a carry A stage, other devices of data-hold, for example, a master slave flip-flop, and latch loess domino logic can instead be used.

[0016]

In the clock distribution system of this example, a target is providing all the waiting time of two clock period delay [it gives the single value through which it circulates within a bypass loop and returns from the register file 12 to the register file 12] of a between. For illustration, the forward direction course of the bypass loop 15 has three latches (inside of ALU, the carry A, and the carry B), and how a polyphase clock system generates three different clock phases if needed is shown (after-mentioned). The register file 12 is treated as a base which receives a synchronous clock. Although the actual embodiment of a system which performs an operation and a logic function is far more complicated than being shown in drawing 1, the technique shown in this example is easily generalizable to arbitrary more complex systems.

[0017]

Drawing 2 is a timing diagram showing the composition of the clock signal which can be used for driving the data pipeline stage of drawing 1. each signal R-Clock used by drawing 1, C1, C2, and ... the timing diagram of each clock signal of C5 gives numerals to drawing 2 corresponding to this. The timing points 30, 31, 32, 33, 34, 35, and 39 of the illustration which employs the device of drawing 1 are shown by the dotted line on the waveform of drawing 2. "a tentorium-like projection" whose dashed line which connects a point constitutes the clock pulse which shares 1 set of clock timing constraints -- 40 and 41 are formed. That is, the waveform part in a tentorium-like projection has a predetermined relation mutually, and must guarantee suitable operation of a device. Since a certain data value must circulate through the inside of a bypass loop, the small tentorium-like projection 40 connects the clock signal C2 which forms a group, C3, and C4. Please care about that the tentorium-like projection 40 is 1 clock-period width, and is time required for a single data element to circulate through the inside of a bypass loop. Although the point on a R-Clock waveform forms such the another tentorium-like projection 41 or group with the point on waveform C1 - C5, this is for the data value generated from a pipeline to have to reenter a register file timely. The large tentorium-like projection 41 is 2 clock-period width, and is time required to hold two data values carried within a pipeline.

[0018]

Drawing 3 is a timing diagram showing the timing restriction conditions accompanying the clock distribution system of drawing 1. First, only the arrow which turned to the figure upper part, such as the arrows 53, 54, and 55, is considered, and the arrow which turned to the bottom is disregarded. For example, it depends for each clock edge of the clock signal C2 only on the edge on which the precedence clock C1 corresponds. According to the architecture of a system, the designer of the circuit within each data path of drawing 1 can give the given clock of the specified duration and a phase, and, subsequently, fits a circuit to the framework produced as a result. Instead of the composition of a graphic display, the clock waveform of these couples is the same, therefore when it has recognized that a timing chain can be shortened, C1 can be used for C4 and C2 can be used for C3 for R-Clock itself C5. A three-phase-circuit clock is used with such composition.

[0019]

The system explained above is a "(arrow down is still disregarded) open loop" clock distribution system. In such a system, the phase of various clock signals must be beforehand planned carefully from a global viewpoint. A bypass loop may become an obstacle if a clock period is extended with such an open loop clock distribution system. In this example, change of a clock period breaks the constraints between C5 which the write return to the constraints or the register file between C2 which a bypass route imposes, and C4 clock imposes, and a clock. A latch peculiar to the data path of drawing 1 is accompanied by another constraints about a clock phase. As for these, the part is shown by arrows down, such as the arrows 56, 57, and 58. Considering an arrow down, constraints have spread in a page top and the bottom.

[0020]

By drawing 3, ["opaque"] or HI signal of a meaning of "having been latched" (a peculiar data path latch is pointed out) is considered, ["transparent"] or the LO signal of a meaning of "not being latched" (["opaque"] and the term of "being transparent" are widely applicable by the system not only using a clear latch but domino logic) is considered. Therefore, after the corresponding data path latch in the stage S3 becomes opaque and C2 makes data latch to the stage S2 (ALU) with the clock C3 as it explains above and the arrow 55 shows, received data are latched for the first time. However, an arrow down expresses further the constraints of the falling clock section when itself determines retention time. For example, as the arrow 56 shows, these constraints show that new data is transmitted towards stage S4 for the first time, after latching earlier data safely because the clock C3 does not return the corresponding stage S3 transparently but the clock C4 makes stage S4 opaque.

[0021]

The constraints shown in drawing 3 are enough for a pipeline without a bypass loop. That is, in drawing 3, any stages other than the stage (precedence and succession) on which action by

the stage which receives a clock signal adjoins it are not influenced. The one method of generating a clock signal which is used within a pipeline data path including explicit recognition of the constraints of an opposite direction is shown in drawing 4. a graphic display -- like -- the individual timing stages 61 and 62 and ... the clock signal C1 with which 65 correspond, C2, and ... C5 is generated. The signal with the label of "OK to rise" corresponding to the constraints of the upper arrow of drawing 3 moves this control system upward. The signal with the label of "OK to fall" corresponding to the constraints of the arrow down of drawing 3 moves this control system downward. Each timing stages 61 and 62 answer for the first time, after receiving suitable "O.K." required for the next. Thus, a required clock signal is generated (a bypass route is disregarded).

[0022]

The bypass route 15 of drawing 1 imposes another clock constraints to the stage within the loop. Another constraints of these are shown to drawing 5 by the thick dashed lines 70, 71, 72, 73, 74, and 75. The latch controlled with the clock C2 (on the input node of ALU20) can incorporate new data by becoming opaque or being latched for the first time, after both clocks C1 and C4 cause data incorporation. Therefore, double constraints are imposed at the standup section of the clock C2. These double constraints are shown by existence of the two arrows 70 and 76 which have a pointer to the standup section of the clock C2. Similarly, the clock C4 returns transparently within the first data path S4 to correspond, after both clocks C2 and C5 make data incorporate from stage S4 which is a stage controlled by the clock C4. Therefore, double constraints are imposed at the falling section of the clock C4. These double constraints are shown by existence of the two arrows 73 and 77 which have a pointer to the falling section of the clock C4.

[0023]

Drawing 6 is a block diagram of the clock generation system which generates the waveform of drawing 5. The corresponding clock signal C1 which a clock generation device has in phase relation mutually like the above, and C2 ... the in-series timing-control stages 61 and 62 which generate C5, and ... 65 are included. However, this system includes the explicit control signal of the courses 85 and 86 between the timing stages 62 and 64 which guarantee phase relation. The boxes 87 and 88 with the label of "init" of drawing 6 provide the control "token" which circulates through the bypass loops 85 and 86 of a couple. The small box containing an ampersand (&) shows that both the signal on the bypass loop 85 (/86) and the "OK to rise" ("OK to fall") signal from the stage 80 (/84) must exist in the following stage. In other words, an ampersand expresses the gate which performs an AND function.

[0024]

Remarkable similarity is between the topology of the clock distribution system of drawing 6, and the topology of the data path of drawing 1. The external route 16 (drawing 1) which the

bypass route 15 of drawing 1 generates the courses 85 and 86 of the corresponding couple in a clock distribution system, and returns to the register file 12 has produced the corresponding external route 89 in a polyphase clock distribution system. In order that a register file may distribute the output signal periodically, when R-Clock is set to HI (.) Namely, when changing in a standup on the clock C1, as for a register file, "it is shown" disregards the return "OK to fall" signal from the timing stage 61 for the 1st timing stage 61. Similarly, the register file 12 is directed on the timing stage 65, when data is periodically incorporated from the data path stage S5 and it is set to "OK to fall" (that is, it changes in falling on the clock C5). However, the register file 12 disregards the "OK to rise" signal corresponding from the timing stage 65.

[0025]

When adopting a polyphase clock distribution system, A designer has [that preparation is complete and] the responsibility to guarantee (without connecting the stage of these to other stages which process this timing) in the time when the stages 61 and 65 of the 1st and the last of a timing pipeline are suitable respectively. The timing stage contained between the stage 61 and the stage 65 guarantees the phase relation in which itself is [between local clocks] suitable. In order to guarantee suitable operation of the whole system, the designer needs to consider only internal requirements and a terminating condition.

[0026]

When a bypass loop is an opening, the timing restriction conditions which a loop imposes at the time of use can be avoided. In that case, speed can be earned rather than the conventional clock distribution system which operates to a strict schedule. However, by old experience, when it is shown in most cases that the data value of constraints is unnecessary, it is shown that it is difficult for the useful above to avoid such constraints. Therefore, the system which generally is not concerned with whether data actually circulates through a data path loop, but the potential loop within a data path makes generate a loop [/ in a polyphase clock distribution system] is preferred.

[0027]

Drawing 7 is a block diagram of the specific embodiment of a polyphase clock distribution system which used the data path of drawing 1 for the example. the Muller C elements 101 and 102 to which the circuit of drawing 7 distributes the clock signal with which frequency synchronizes, and ... 105 are included. These MullerC elements generate the local clock with which a phase suits the constraints imposed by the data path. The clock signal of a number of phases considered that such a system has a useful data path circuit is provided, and the phase of each local clock is made to agree for local needs. A Muller C element generates HI output signal for the first time, after both input terminals are set to HI, and after both input terminals are set to LO, it generates LO output signal for the first time. This means holding a former output state, when the states where a Muller C element is an input terminal differ. It is

an impossible thing that an important thing changes twice continuously, without the state where one state of the input terminal of a Muller C element is another side changing in a polyphase clock distributing circuit. In a polyphase clock distribution system, before it changes a state in any case and one of input terminals changes a state again, as for both input terminals, the state of an output signal changes corresponding to it.

[0028]

Although the Muller C element describes the embodiment of illustration here, the circuit element of others, such as a "rendezvous" element, can also be used. If there is an input besides a sequence, a rendezvous element will generate an error signal, but a Muller C element receives it as it is.

[0029]

Although the clock generation circuit written in this specification uses "event" transmission, other transmission format can also be used. In event transmission, the easiest element is change of a level, i.e., the transition called an "event." Whether it is transition to HI which transition rises and is called an event from LO, or it is transition to LO called a falling event from HI do not produce a difference. Each is an event and both are treated similarly.

[0030]

It is said a Muller C element "will light", if an output terminal changes a state. Ignition of a MullerC element will generate an event on an output terminal. As mentioned above, a Muller C element answers change of the state of the input terminal of the both, and lights. Therefore, a Muller C element provides an AND function about event logic. An XOR (or XNOR) circuit carries out the work as an OR function about each event logic. A XOR/XNOR element will change the state of the output terminal, if either of the input terminal changes a state. Therefore, a XOR/XNOR element answers the event in one of inputs, and generates an event to the output. An important thing is that the input terminal of both XOR/XNOR does not change simultaneously in a polyphase clock system. Some exhibited papers distinguish "fusion" element and a XOR/XNOR circuit. A fusion element will generate an error signal, if a following event is given on one of input terminals before being able to answer a former input signal. Therefore, the polyphase clock distributing circuit can use a fusion element instead of a XOR/XNOR circuit. Or the system can use the special case of the fusion element known as a "reverse toggle" element. Please refer to U.S. patent application 08th of the March 7, 1997 presentation entitled "Inverse Toggle XOR and XNOR Circuit" transferred in common / No. 813054. A reverse toggle element receives an input event by turns on two input terminals. Therefore, an output terminal changes to HI by the event on one input terminal, and an output terminal changes to LO by the event on the input terminal of another side.

[0031]

the more detailed embodiment of the polyphase clock circuit shown in drawing 7 -- the timing

stages 61 and 62 and ... each core of 65 is shown. the Muller C elements 101 and 102 of at least one shield type [stage / each / timing], and ... 105 are included. For example, when the Muller C element 102 lights and a corresponding data path stage becomes opaque, an event signal is supplied to the stage which both adjoin. In the case of the timing stage 63 of the above-mentioned succession, this signal corresponds to the constraints of drawing 4 above [wave-like]. That is, ignition of a Muller C element shows that that related data path stage became opaque and that the above-mentioned data path stage can incorporate this data. In the case of the data path stage S1 of following before, this signal corresponds to the down constraints of drawing 4. It is shown that this discards the data which the stage S1 holds, becomes transparent, and can convey a new data value upward ultimately.

[0032]

The above-mentioned operation is performed very promptly. Although the chain of a stage like the stage 63 was included, the circuit connected to the closed ring comprised Sun Microsystems Laboratories (subsidiary company of the grantee of this specification). The circuit is carried out about 5 gate delay per cycle, and operates. The period time which the internal processing capacity of a regular stage is about 1 GHz, and corresponds using 0.6 micron of CMOS integrated circuit art is a value only exceeding 1 nanosecond.

[0033]

The timing stages 64 and 65 which generate the signals C4 and C5 by drawing 7 have an inverter of composition of differing in the timing stages 61, 62, and 63. These inverters 134 and 135 establish an initial condition in the timing bypass loop corresponding to a data path loop. The timing bypass loop 85 starts the position of the inverter 134 by one control token, therefore the thing of the three stages S2, S3, or S4 one is [a thing] still opaque is guaranteed within the data path bypass loop 15 (drawing 1). Both the two inverters 134 and 135 guarantee that the large loop 16 (drawing 1) always contains two data elements suitably.

[0034]

Subsequently, the bypass loop 15 (constraints 70, 71, 72, 73, 74, and 75 of the thick line of drawing 5) is considered. Drawing 7 shows the timing 85 and 86 to which a couple corresponds. Both the stages 62, 63, and 64 provide a three-phase-circuit oscillator. Drawing 7 also includes the Muller C elements 110 and 111 of two additions which commit AND gates 91 and 92 of drawing 6 again. These Muller C elements 110 and 111 adjust action in the timing loop 85 and 86 of a couple with action in the timing stage of an it top and the bottom. For example, before the Muller C element 102 can ignite, the Muller C element 110 must receive the same signal via the course 85 from the Muller C element 101 to the lower "OK to fire" signal and the Muller C element 104.

[0035]

drawing 7 -- the clock signal C1, C2, and ... the XNOR gates 121 and 122 which distribute C5,

and ... 125 are shown. The seal of T and O with which the input terminal to these XNOR gates responds to each "it being as opaque as "transparent"" is attached. The event of T and O responds to each "it being as opaque as "transparent"." If there is an event on O input, an always corresponding data path latch will become opaque, and if there is an event on T input, an always corresponding data path latch will become transparent. Since these XNOR gates 121 and two input signals of 122...125 interchange by turns, they can gather speed using the above-mentioned reverse toggle embodiment. When the states of an input to an XNOR gate differ, although a data path latch corresponding with LO output from the XNOR gate on C1 - C5 becomes transparent, when it is HI output, he becomes opaque.

[0036]

Drawing 7 shows connection of the timing pipeline who receives clock signal R-Clock which drives the register file 12 again. The connection with a clock has a clock special to the Muller C element 101 relevant to the stage 61 which provides the clock C1 at the point of distributing not a level but an event. This is the "OK to rise" event shown also in drawing 6. A register file distributes an event input to the Muller C element 105 of the stage 65 which provides the clock C5 again. This is the "OK to fall" signal shown also in drawing 6. In order that the circuit of a graphic display may use event logic, these two signals are event signals taken out from the R-Clock signal of the register file 12.

[0037]

Each R-Clock event with which the register 12 is provided inserts a new data element in a pipeline's bottom, and takes out one data element from the topmost part. Therefore, when there are two data elements first, there will always be two data elements. Below, how to introduce two data elements into the chain of a stage first is explained. the method of attaining this -- the inverters 131 and 132 and ... exact initialization of 135 and a Muller C element is included.

[0038]

The three timing stages 61, 62, and 63 have the downward suitable inverters 131, 132, and 133. These correspond to the empty data path stage S1, S2, and S3 at first. The two timing stages 64 and 65 have the upward suitable inverters 134 and 135. These correspond to a full stage the first stage. By arranging an inverter carefully in this way, a pipeline can be created by arbitrary loop structures and these elements including arbitrary numbers of initial elements can be arranged to arbitrary initial positions. The initial data held in the full data path stage the first stage is initialized to zero, or, naturally an invalid seal can be put.

[0039]

The number of full elements establishes the clock period waiting time of each branching of a circuit the first stage. The first stage is full of 1 timing stage 64 of a bypass loop in this example. This corresponds to the width of "tentorium-like projection" 40 with smaller drawing 2.

An outside loop has the two full timing stages 64 and 65 which share one of these with a bypass loop. This corresponds to the width of "tentorium-like projection" 41 with larger drawing 2. The "tentorium-like projection" of drawing 2 shows how many stages need a reversal inverter. Selection of which stage to fill at first is arbitrary at the other point.

[0040]

Next, when a R-Clock signal is set to HI, it considers what happens. A register file incorporates the data provided by the data path stage S5. The latch of the data path stage S5 becomes transparent, and data is transmitted to the data path stage S5 by change of the top input terminal of the XNOR gate 125 of the timing stage 65 from data path stage S4. Immediately after that, the Muller C element 105 of the timing stage 65 ignites, the latch of S5 is made opaque once again, and LO input is shown to the Muller C element 111 which turned to down.

[0041]

On the other hand, on the timing stage 61, the Muller C element 101 ignites and the latch of the stage S1 is made opaque. These latches have already incorporated the data presented by the register file. The Muller C element 110 which turned to above has an input terminal of two HI states, and ignites. As a result, the Muller C element 102 of the timing stage 62 also ignites, and the latch of the stage S2 is made opaque. Register file data is incorporated by the stage S2.

[0042]

Ignition of the Muller C element 102 of the timing stage 62 will transmit an event signal to the three places 61 and 63, i.e., the adjoining timing stages of the upper bottom, and the stage 64. On the timing stage 61, the latch of the stage S1 becomes transparent again by this event. Similarly, data path stage S4 becomes transparent with the signal which results in the stage 64 via XNOR124. At the last, the latch of the data path stage S3 is made opaque, and it ignites the incorporation to S3 of the data of the data path stage S2 by making transparent the latch of the data path stage S2. Ignition preparation of the stage 64 is completed now and data is transmitted to S4 from S3. The 1st register file data reaches stage S4, and as that was right, it fills this stage at the beginning of a cycle.

[0043]

Each clock event takes out Sfive to one data element at the same time it puts a new data element into the stage S1. When a clock event occurs slowly, a data element resides permanently between stage S4 between clock events, and S5. The data element in the stage S5 does not run to the following clock event. Since the data element in stage S4 is needed by the stage S2 with the following cycle, it does not run. The stage S1, S2, and S3 are empty, and can use the data of stage S4 from the stage 2.

[0044]

When a clock event occurs more frequently, time for data to run between clock events

becomes short. In a design speed, since one data value reaches stage S4 at the same time as the following data value reaches the stage S1, as for the stage S2, it has a required data value of available both simultaneously. When the stage S1 obtains data the next offer from a register file, at the same time as it is incorporated by the register file, the stage S5 is reached. full working speed -- the local clock C1, C2, and ... as shown to drawing 5 in C5, it generates. Naturally the local timing limits of a data path stage including the delay element between the timing stages in the circuit of drawing 7 must be reflected. Drawing 8 shows the delay elements 145 and 147 introduced among the timing stages 62 and 63, for example. Although an event sequence is as [above], actual delay required between events changes with details of a data path.

[0045]

One special mode of the polyphase clock system written in this specification is the pliability. The pipeline of the stage on which each has a latch holds two data elements correctly at any one time. A pipeline has the waiting time of 2 clock periods, and an internal loop of 1 clock period. A polyphase clock distribution system recognizes the constraints of a actual data path correctly, and they are made to be filled certainly.

[0046]

The work which builds such a clock distribution system can be divided into the separate portion of each stage. Each portion communicates only with the portion of the clock distribution system corresponding to transmitting [the data of the stage] origin, or an address. Each portion materializes the delay restriction conditions of the local portion of a data path. The whole function has throughput with all sufficient portions of (1) system, and only when the actual waiting time of each branching of (2) designs is shorter than the clock interval assigned to it, it is guaranteed. The polyphase clock distribution system can incorporate there a number of latching elements which accommodate and wish for arbitrary numbers of desired loops or special communication paths. . One technique which designs such a circuit uses P3 notation, and act as a grantee of simultaneous application of this invention people in common.

"December 17, 1997 presentation Method. It is indicated to U.S. patent application 08th entitled and Modules for Control of Pipelines Carrying Data Using Pipelines Carrying Control Signals" / No. 953767.

[0047]

It can not only be used as an embodiment technique, but it can use a polyphase clock as a design tool. Incompatibility with the timing restriction conditions which it materializes with the simulation of a polyphase clock distribution network is clear. A polyphase clock provides the method of coding, and incorporating the timing restriction in a compound chip, and modeling and carrying out a simulation.

[0048]

In order to build a polyphase clock system, the timing restriction conditions of the data path of a controlled object must be determined. A compound chip may have such local timing restriction conditions of hundreds of thousands. Such timing restriction conditions can be collected and the polyphase clock distribution network of a model can be built. Since self-oscillation speed reflects the totality of the timing restriction conditions materialized within the system, the self-oscillation speed of such a model expresses the maximum velocity which can perform such a system. For example, late operation is performed rather than one arbitrary link in such a loop needs by the long loop of a data path. The result of the combination of various delay restriction conditions becomes clear at an early stage.

[0049]

Such a model not only expresses the speed limit of 1 set of timing restriction conditions, but means which constraints restrict the whole speed. It can discover which data path operates quickly enough by verifying behavior of a polyphase clock circuit, or which data path restricts the whole speed. The design for still more nearly high-speed operation is improvable using this information.

[0050]

An operation margin can be inspected with a polyphase clock distribution system. For this reason, timing stage delay must be made variable by exchanging the delay elements 145 and 147 and ... for a variable delay element. Control of these delay elements can be attained by providing the small control register which a value carries out delay to each next of such a delay element at nominal value, or makes only selected quantity useful to an examination late or quicker than nominal value. A value can be inputted into these control registers using a commercial semiconductor testing device, and only variable quantity can operate each portion of a chip late or quickly from nominal value. Stress can be added to a specific data path by whether test equipment accelerates the clock signal in a receiver, or the clock signal in the transmitting side is delayed. This device can examine each data path, applying stress gradually until it damages. The examination of the operation margin which was not able to be realized was attained with such a mechanism until now. The security of the chip can be measured by record of the stress at the time of breakage of each data path. It is desirable to detect the initial lesion of a specific chip by noticing that a specific chip is damaged under the un-characteristic small stress on a certain data path. It shows that the design of a chip is weak that all the chips are consistently damaged under the small stress of the same data path. An excess design can be detected by always applying to it correctly, applying big stress to the data path with all the same chips, and it is connected with improvement of a product. It is focused on the further design efforts to strengthen performance with comparing the margin of each typical data path of many chips.

[0051]

The above-mentioned polyphase clock system has many advantages so that clearly from the above explanation. A polyphase clock distribution system recognizes that each connection from a data path has imposed constraints on the clock signal. This system includes the circuit which materializes these constraints. When there is no connection into a data path, there are no constraints of a clock and there is no connection into a clock distribution system. Therefore, the circuit in the clock distribution system which materializes the constraints imposed by the data path constitutes the network of the circuit where the topology suits the topology of a data path strictly.

[0052]

The skew between the clocks of the register which has only an indirect dialog can be disregarded. It also becomes unnecessary to suit what kind of artificial constraints imposed by this with global clock skew specification. A polyphase clock distribution system recognizes the actual constraints of a clock skew imposed by a data path, and expresses those conditions as a local circuit. In this way, a polyphase clock distribution system is transfigured into the local task which identifies actual constraints and expresses the problem of the global artificer study of the clock skew of chip width.

[0053]

What a certain time "is borrowed for" from the stage which one stage of a pipeline adjoins may be desirable. Such time borrowing is easy when it has the peculiar delay from which the stage which a pipeline follows differs. The clock of the latch between them is adjusted, the time of the longer one is extended, and, as for the time of the shorter one, reducing is desirable. With a polyphase clock distribution system, arbitrary latches' clock was slightly delayed, when time borrowing was required, and it can have a phase of the arbitrary requests containing the advanced phase.

[0054]

A polyphase clock system saves electric power again. The signal which adjusts a clock within a multiphase system operates on a low-electric-power level. The gate included is easy. Repeating installation may be used when it is necessary to drive a long cable. Parallel paths are equipped in a clock distribution system for every long distance communication course in the data processing part of a system. The repeating installation of this portion of a clock distribution system can provide the local clock which relays a latch or a register within a long-distance data path.

[0055]

Since a clock distribution system is in parallel with a data path, another advantage can fit a clock distribution system to change of a local-data course. Each of such change needs only a local change of a clock distribution system. Since the timing restriction conditions of other portions of a system did not change, it is not necessary to change the clock distribution system

in those points.

[0056]

As explained above, a polyphase clock distribution system generates the local clock which has various phases. Each stage pulls out current to the schedule determined by the local clock. And if those phases are independently, the whole of the whole current can be said to be uniform compared with the case of the system which generates the local clock signal of the phase which does not almost have a skew. [such a local clock] As a result, the necessity for a local bypass capacitor decreases and change of the service voltage caused by the inductance of a power supply line is suppressed.

[0057]

Another advantage can make the latch in a pipeline, or latch equivalent significant work larger than the waiting time of the pipeline of a clock interval with a polyphase clock distribution system. The number of clock interval waiting time can be assigned to each pipeline as a part of architecture. As a design being expedient, the local designer can include the equivalent of free more many registers, a latch, or a domino latch. A polyphase clock distribution system provides the suitable local clock for a number of such latches for which it asks. This is important by especially the loop of the domino logic which must be included in a pipeline at intervals of each clock within the waiting time which was able to assign three or more domino stages.

[0058]

In the above, the embodiment of this invention was described. Please understand that the specific circuit of a graphic display can be transformed variously, without deviating from the pneuma of this invention for which the claim of the account of a head was asked. For example, although the system indicated here codes an event as transition, another encoding method is also possible.

[Brief Description of the Drawings]

[Drawing 1]

It is a figure showing the example of the pipeline in the computer systems controlled by the clock of many phases.

[Drawing 2]

It is a timing diagram showing the clock waveform of the clock signal shown in drawing 1.

[Drawing 3]

It is a timing diagram showing the constraints of the clock waveform signal supplied by various clock signal generating device stages.

[Drawing 4]

It is a block diagram showing a pipeline control circuit.

[Drawing 5]

It is a timing diagram showing the constraints imposed by the bypass loop in the circuit of drawing 1.

[Drawing 6]

It is shown in drawing 1, however is a block diagram of a clock generation device including a bypass loop.

[Drawing 7]

It is a detailed figure rather than the component of the block diagram shown in drawing 6 is shown.

[Drawing 8]

It is a figure showing introduction of the delay element between the timing stages shown in drawing 7.

[Translation done.]

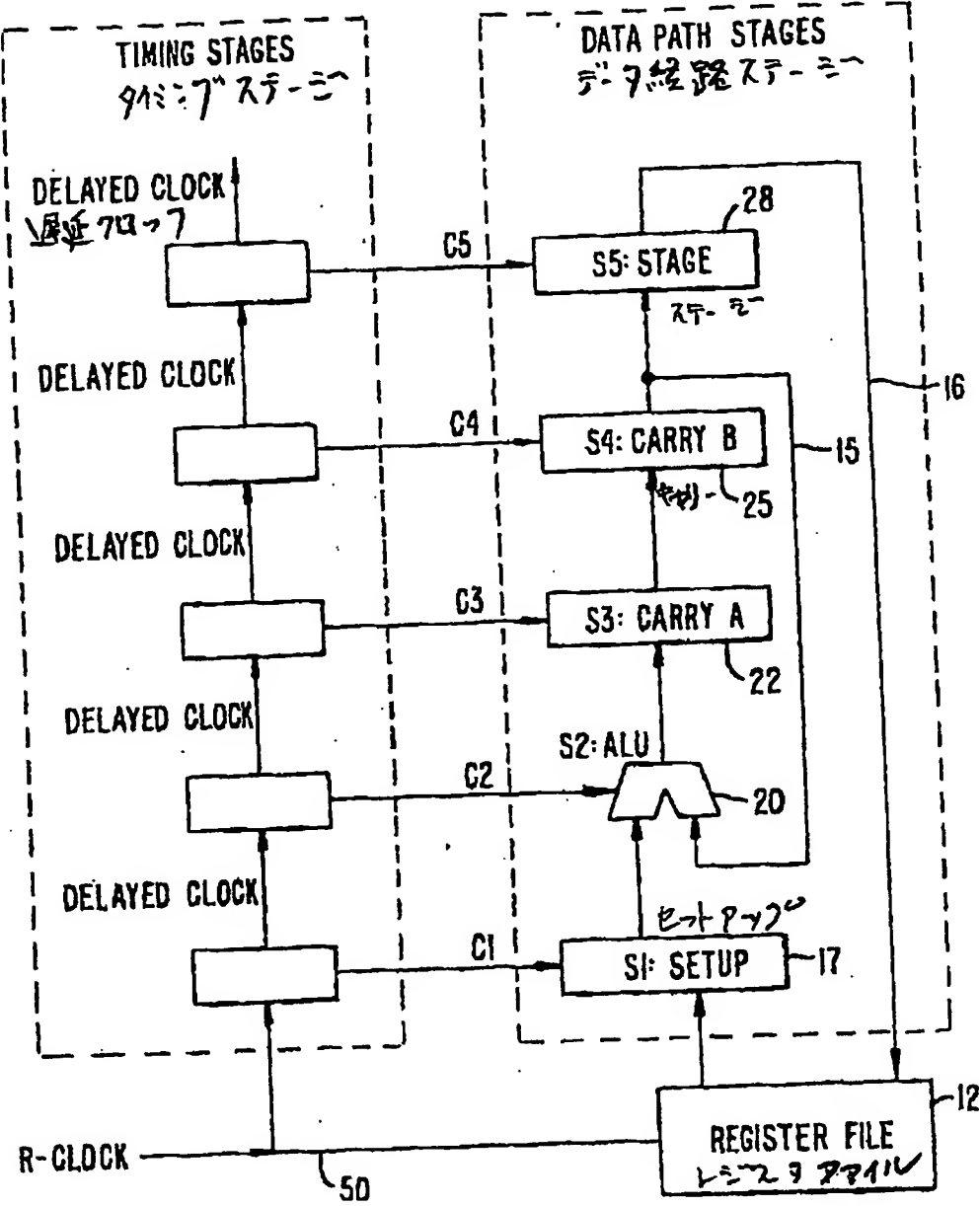
* NOTICES *

JP0 and INPIT are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



[Drawing 2]

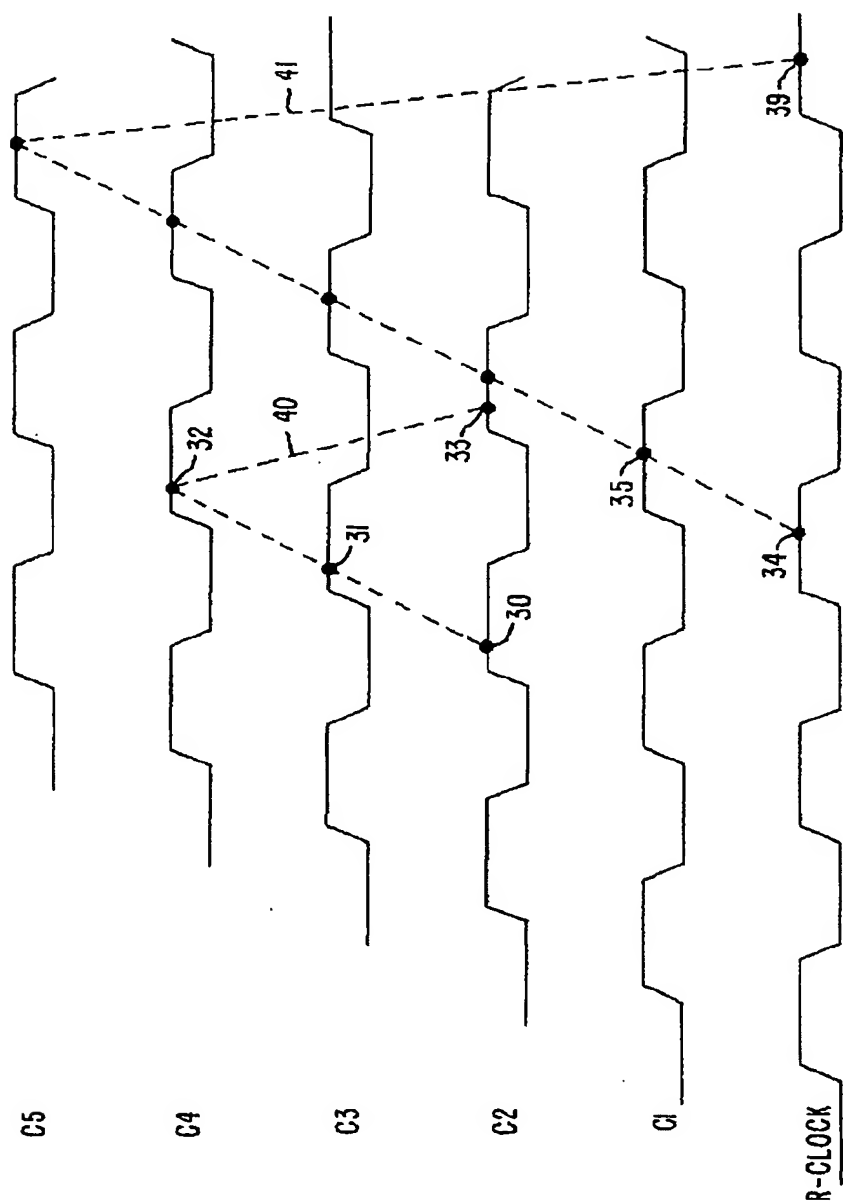


FIG. 2.

[Drawing 3]

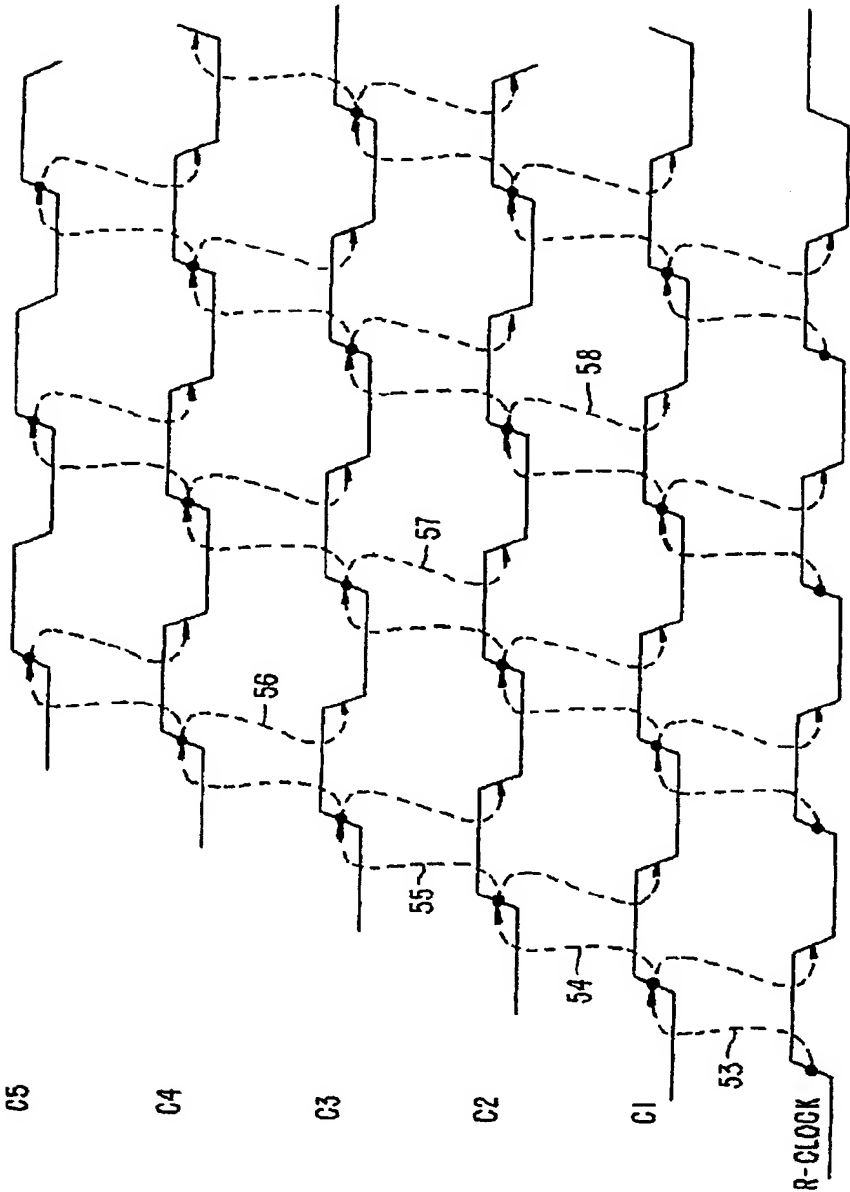
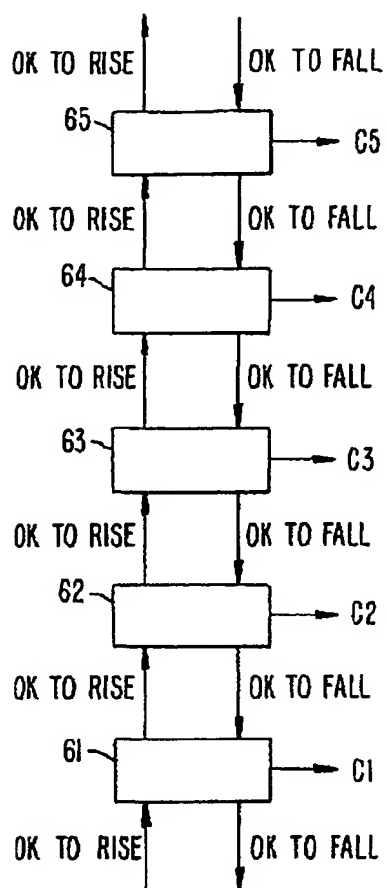


FIG. 3.

[Drawing 4]

**FIG. 4.**

[Drawing 5]

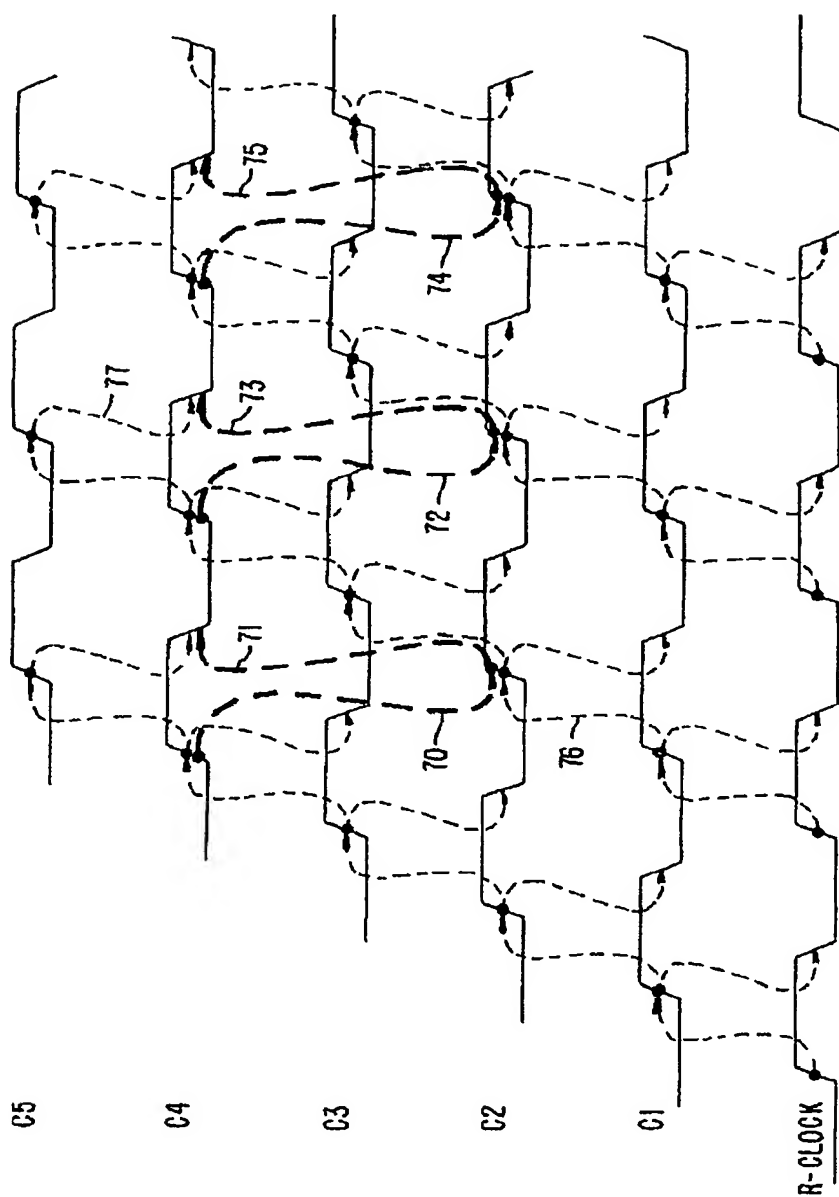
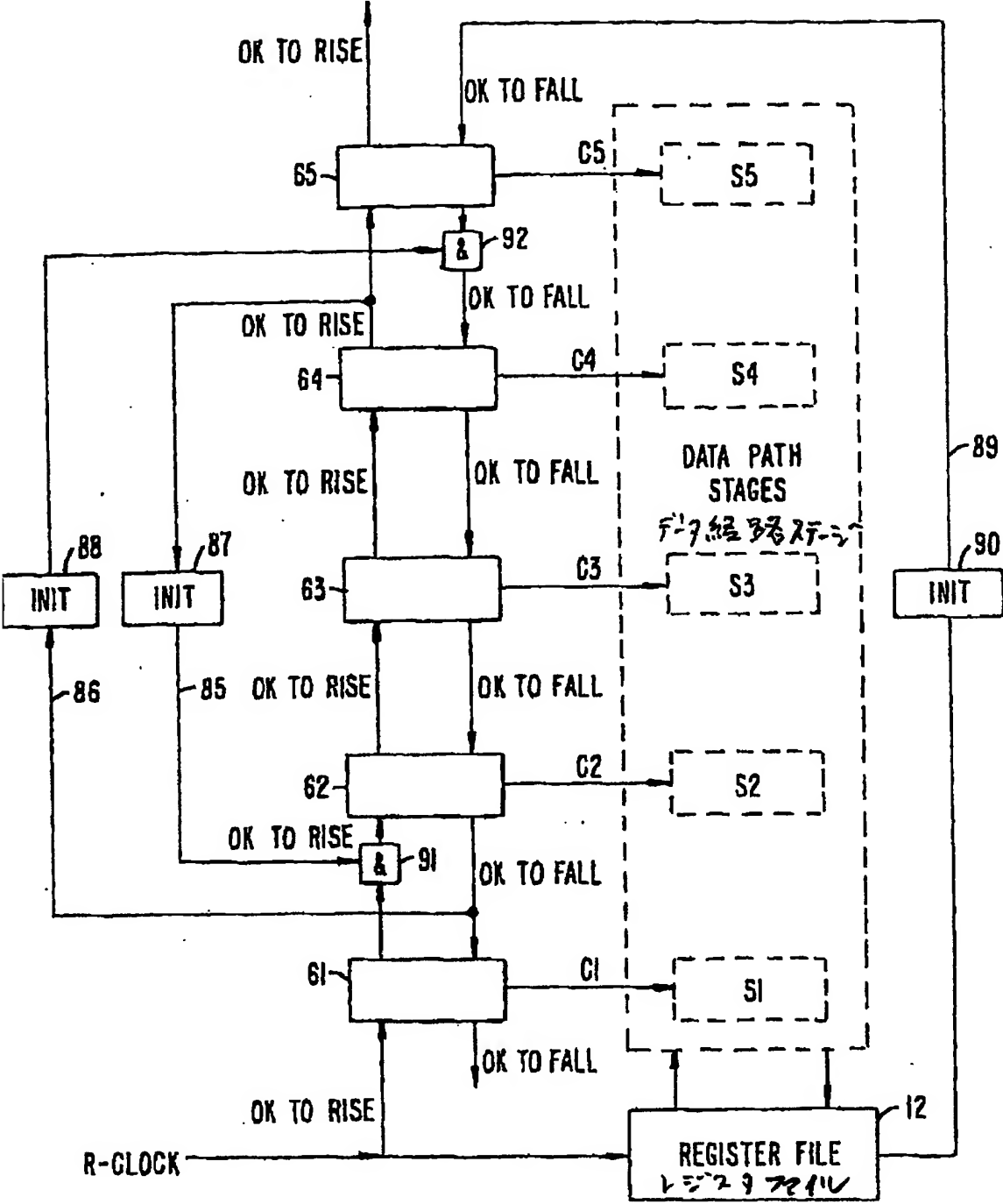
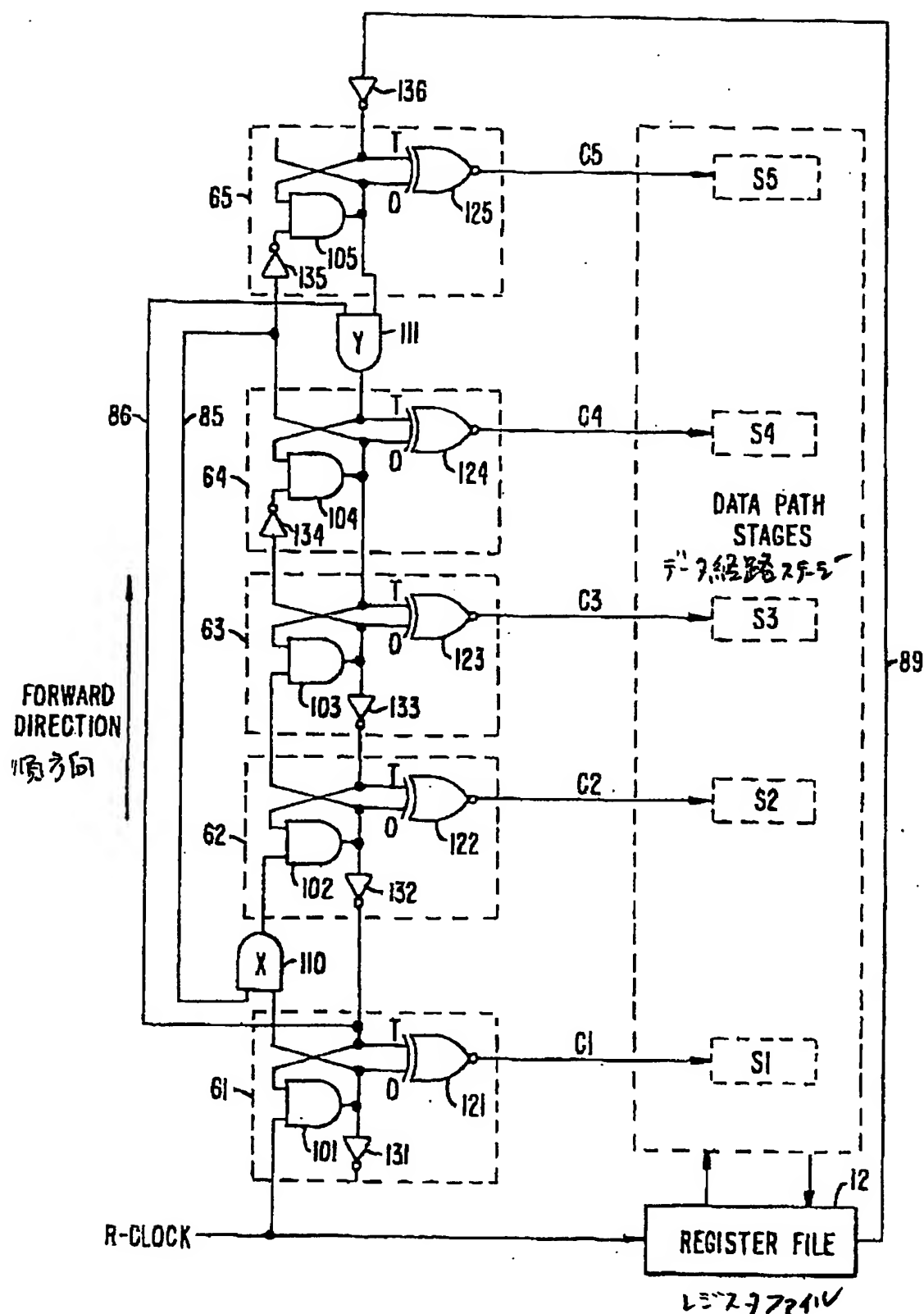


FIG. 5.

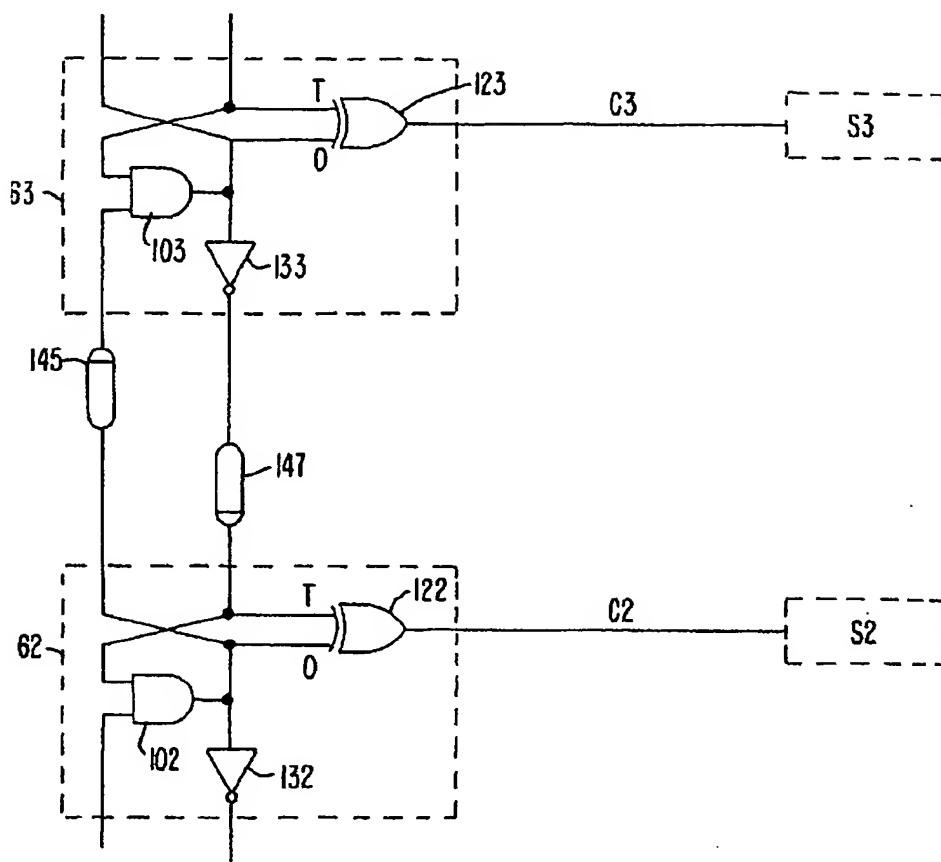
[Drawing 6]



[Drawing 7]



[Drawing 8]

**FIG. 8.**

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-524790

(P2002-524790A)

(43) 公表日 平成14年8月6日(2002.8.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 1/10		H 0 3 L 7/00	Z 5 B 0 7 9
H 0 3 K 5/15		G 0 6 F 1/04	3 3 0 A 5 J 0 3 9
H 0 3 L 7/00		H 0 3 K 5/15	P 5 J 1 0 6

審査請求 未請求 予備審査請求 有 (全 37 頁)

(21) 出願番号 特願2000-569301(P2000-569301)
(86) (22) 出願日 平成11年8月16日(1999.8.16)
(85) 翻訳文提出日 平成13年3月5日(2001.3.5)
(86) 国際出願番号 PCT/US99/16997
(87) 国際公開番号 WO00/14621
(87) 国際公開日 平成12年3月16日(2000.3.16)
(31) 優先権主張番号 09/146,810
(32) 優先日 平成10年9月4日(1998.9.4)
(33) 優先権主張国 米国 (US)

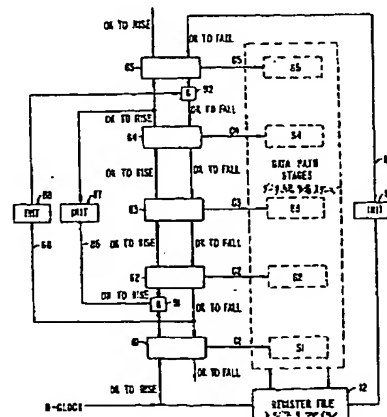
(71) 出願人 サン・マイクロシステムズ・インコーポレーテッド
SUN MICROSYSTEMS, INCORPORATED
アメリカ合衆国 94303 カリフォルニア州・バロ アルト・サン アントニオ ロード・901
(72) 発明者 サザーランド, アイヴァン・イー
アメリカ合衆国・90405・カリフォルニア州・サンタ モニカ・ワズワース アベニュー・125
(74) 代理人 弁理士 山川 政樹

最終頁に続く

(54) 【発明の名称】 同期多相クロック分配システム

(57) 【要約】

所与の回路の設計者が有用と考える数の位相の同期クロック信号を提供するクロック分配システムについて説明する。クロック分配システムは制御対象システムのタイミング制約条件を認識し、クロック信号を使用するローカル・データ回路のニーズを満たすためにクロック位相を適当に調整する。クロック分配システムは、データ経路の適当な部分とかつ相互に結合されたデータ経路を制御してクロック信号タイミングに関する情報を互いに提供するステージを含む。



【特許請求の範囲】

【請求項1】 複数の位相のクロック信号を関連する回路に提供するクロック分配システムであって、

第1の状態と第2の状態との間で遷移する第1のクロック信号を提供する第1のクロック信号回路と、

第1の状態と第2の状態との間で遷移する第2のクロック信号を提供する第2のクロック信号回路とを含み、

第1のクロック信号回路が第1の状態から第2の状態に変化した時に第1のクロック信号回路が第1の信号を第2のクロック信号回路に提供し、それによって第2のクロック信号回路を第1の状態から第2の状態に変化させ、

第2のクロック信号回路が第1の信号に応答し、第1の状態から第2の状態に変化した時に第2のクロック信号回路が第2の信号を第1のクロック信号回路に提供し、それによって第2の信号が第1のクロック信号回路を第2の状態から第1の状態に戻させることを可能にするクロック分配システム。

【請求項2】 第1の状態と第2の状態との間で遷移する第3のクロック信号を提供する第3のクロック信号回路をさらに含み、

第3のクロック信号回路が第1の状態から第2の状態に変化した時に第3のクロック信号回路が第1の信号を第1のクロック信号回路に提供し、それによって第1のクロック信号回路を第1の状態から第2の状態に変化させ、

第1のクロック信号回路が第2の信号に応答し、第1の状態から第2の状態に変化した時に第1のクロック信号回路が第2の信号を第3のクロック信号回路に提供し、それによって第3のクロック信号回路を第2の状態から第1の状態に戻させる請求項1に記載のクロック分配システム。

【請求項3】 第1のクロック信号回路が第2のクロック信号回路に結合された第1の入力端子と第3のクロック信号回路に結合された第2の入力端子とを有し、第1のクロック信号を提供するように結合された出力端子とを有する第1の論理要素をさらに含む請求項2に記載のクロック分配システム。

【請求項4】 第1の論理要素がMuller C要素を含む請求項3に記載のクロック分配システム。

【請求項5】 第1の入力端子が第2のクロック信号回路内の出力端子に結合され、第2の入力端子が第3のクロック信号回路内の出力端子に結合されている請求項4に記載のクロック分配システム。

【請求項6】 第1のクロック信号回路が第1の論理要素の出力端子の結合された第1の入力端子と、第2のクロック回路に結合された第2の入力端子と、関連回路に結合された出力端子とを有する第2の論理要素をさらに含む請求項3に記載のクロック分配システム。

【請求項7】 第2の論理要素が排他NORゲートを含む請求項6に記載のクロック分配システム。

【請求項8】 第1のクロック回路と第2のクロック回路との間に結合された第2の信号を提供する第3の論理要素をさらに含む請求項6に記載のクロック分配システム。

【請求項9】 第3の論理要素が第1の論理要素の出力端子に結合された入力端子を有するインバータを含む請求項8に記載のクロック分配システム。

【請求項10】 第2のクロック回路と第3のクロック回路との間に第2および第3のクロック回路が互いに影響し合うようにするループ接続をさらに含む請求項2に記載のクロック分配システム。

【請求項11】 複数の位相のクロック信号を関連回路に提供するクロック分配システムであって、第1のクロック信号回路が第2のクロック信号回路を第3のクロック信号回路から分離するように結合されており、その第1のクロック信号回路が、

第3のクロック信号回路から信号を受信するために結合された第1の入力ノードと、

第2のクロック信号回路から信号を受信するために結合された第2の入力ノードと、

第2のクロック信号回路に信号を提供するために結合された第1の出力ノードと、

第3のクロック信号回路に信号を提供するために結合された第2の出力ノードとを含み、

第1のクロック回路が第2および第3のクロック信号回路を制御する第1の第2の入力および出力ノードに結合されているクロック分配システム。

【請求項12】 第1のクロック信号回路がさらに、

第1の入力ノードに結合された第1の入力端子と、第2の入力ノードに結合された第2の入力端子とを有し、第1の出力ノードに結合された出力端子を有する第1の論理要素を含み、前記第1の論理要素が第1の入力端子と第2の入力端子の両方の状態変化を検出し、それに応答してその出力端子の状態を変え、

第2の入力ノードに結合された第1の入力端子と、第1の出力ノードに結合された第2の入力端子とを有し、関連回路に結合された出力端子を有する第2の論理要素を含み、前記第2の論理要素が第1の入力端子または第2の入力端子のいずれかの状態変化を検出し、それに応答してその出力端子の状態を変える請求項11に記載のクロック分配システム。

【請求項13】 第1の論理要素がMuller C要素を含み、第2の論理要素が排他NORゲートを含む請求項12に記載のクロック分配システム。

【請求項14】 第1の入力ノードに結合された第1の入力ノードに到着する信号を遅延させる第1の遅延要素と、

第2の出力ノードに結合された第2の出力ノードから供給される信号を遅延させる第2の遅延要素とをさらに含む請求項11に記載のクロック分配システム。

【発明の詳細な説明】

【0001】

(関連出願への相互参照)

本出願は、「Method for Generation and Distribution of Polyphase Clock Signals」と題された1998年9月4日提出の米国出願第 号に関係する。

【0002】

(発明の背景)

本発明はコンピュータまたはその他の電子回路を制御するクロック・システム、特にマスタ・クロックの複数の位相に対応する信号を提供する分配クロック・システムに関する。

【0003】

コンピュータ・システムおよびその他の回路の製造では、単一のチップ上の構成要素または回路などのさまざまな要素、またはコンピュータ・システム自体の隅々にまで分散されている要素にクロック信号を与えることが多い。従来のコンピュータ・システムに見られるようなデータ通信経路からなる複合ネットワークの場合、単一チップ、複数のチップのいずれの上で分配されているかにかかわらず、多数のクロック信号がシステムの隣接部のクロック信号に正確に対応する時間に発生しなければならない。そのようなシステムでは、「隣接する」という用語は互いに比較的離れて配置されているが電子的なタイミングの意味では隣接している回路の部分の意味する。コンピュータ・システムがますます高速のクロック速度で動作するように発展するにつれ、そのようなクロック分配システムの設計およびデバッグは異常に困難な作業になってきている。

【0004】

通常の従来技術のコンピュータ・システムでは、マスタ・クロック信号が、単一のチップまたはプリント配線基板のために生成されるか他の方法で生成または供給される。次いでクロック信号が回路全体に導線を用いて分配される。そのようなシステムの設計者は、クロック信号が制御対象の回路の各々に適当な時間に到着することを保証するために細心の注意を払わなければならない。この作業は

時間がかかりコスト高である。

【0005】

通常の従来技術のクロック分配システムは、Bakoglu, H. B. 「Circuits, Interconnections, and Packaging for VLSI」Addison-Wesley (1990)、Glasser, Lance A. 他「The Design and Analysis of VLSI Circuits, Addison-Wesley (1985)」、Rettberg, Randall D. 他の「Digital Phase Adjustment」(1985年10月)と題された米国特許第4700347号、Eby Friedman「Clock Distribution」IEEE Press ()、およびWaste&Eschraghian、「Principles of CMOS VLSI Design」2nd edition, Addison-Wesley (1999)に記載されている。

【0006】

(発明の概要)

以下に説明する技法は所与のデータ経路回路の設計者が有用と考える数の位相で同期クロック信号を提供する。そのようなシステムは必要なだけの数のクロック位相を生成するため、そのようなシステムを「多相」クロック分配システムと呼ぶ。多相クロック分配システムはデータ経路制御のタイミング制約を明示的に認識し、各クロック位相がそれを使用するローカルなデータ回路の特定のニーズに合致するようにしている。すべてのクロック信号はグローバル・クロック信号と同期するが、各クロック信号はローカル条件にふさわしい位相を獲得する。

【0007】

多相クロック分配システムの一実施態様はコンピュータまたはチップ上で制御されているその他の回路のタイミング制約条件を具体化する簡単な回路のネットワークからなる。データを1つのレジスタから別のレジスタへ通過させる経路がチップ上にある箇所では常に、多相クロック分配ネットワークの対応するセグメントが送信側と受信側の両方にクロック信号を提供する。多相クロック分配ネッ

トワークの各セグメントは特定の送信側と特定の受信側についてクロック信号の適合性を保証する。受信側のクロック信号はデータが送信されるのに十分な時間だけ送信側のクロック信号より遅延するが、必要な時間を超えてはいない。送信側の次のクロック信号は受信側の前のクロック信号に続けてデータの曖昧性を避けるだけ長い時間を置いて供給される。

【0008】

複合チップには多数のデータ経路があり、その多相クロック分配システムはそれに対応する数のセグメントを有していなければならない。多相クロック分配システムのこれらのセグメントは一般にチップ上のデータ経路に現れるものと同じトポロジを示す。チップ上のいくつかのデータ経路が集中する箇所では、多相クロック分配システムのそれに対応するセグメントも集中する。一般に、データ経路のジャンクションと多相クロック分配システムのセグメントのジャンクションとの間には一対1の対応関係がある。

【0009】

データ経路の各ジャンクションで、レジスタまたはラッチはそのジャンクションへの着信またはそこからの発信データ経路の送信側または受信側としての働きをする。ジャンクションでのレジスタまたはラッチのためのクロックはそのジャンクション・レジスタが存在するすべてのデータ経路のニーズに適合しなければならない。多相クロック分配システムのタイミング・セグメントの対応するジャンクションにある回路はその適合性を保証する。

【0010】

多相クロック分配システムは、すべての制約条件が満たされるまで各クロック・イベントを遅延させることで各ジャンクションでの適合性を保証する。例えば、いくつかのソースからデータを取り出すレジスタを考えてみる。多相クロック分配システムのジャンクション回路は、すべての着信データが取り込みの瞬間に利用できるのに十分なだけ遅延したタイミングでそのようなレジスタにデータを取り込むクロック信号を配置し、データが予定された全ての行き先に到達するまでデータを保持するためのクロック信号を配置する。

【0011】

外部信号が提供されない場合、多相クロック分配システムはそれが具体化するタイミング制約条件を満たす最大周波数で発振する。例えば、ネットワーク内のより低速のデータ経路が送信クロックと受信クロックとの間にXナノ秒を必要とし、受信クロックと次の送信クロックとの間にYナノ秒を必要とする場合、そのようなシステムはクロック信号を $X+Y$ ナノ秒ごとにしか生成できない。さらに、システム全体について最も遅い制約条件がある場合、多相クロック分配ネットワーク全体は $X+Y$ ナノ秒の周期で発振する。複合ネットワークの多相クロック分配システムの自励発振周期は、複合ネットワークが具体化するすべての制約条件に適合する最も短い周期である。システムは制約条件が許す最大速度で動作する。

【0012】

多相クロック分配システムの自励発振周期よりも長い周期を有する周期タイミング信号が多相クロック分配システムに供給された場合、多相システムはあらゆる箇所でその周期を採用する。多相クロック分配システムの意図された使用はそのような周期信号をチップ全体に分配することである。各ローカル・クロック信号は同じ周期と周波数とを示すが、各々の信号はローカルなニーズによって決定される一意的な位相を有することになる。

【0013】

多相クロック・システムは従来のクロック信号分配システムと比較して多数の利点を提供する。例えば、多相クロック分配システムはグローバルではなくローカルな形でクロック・スキューを制御して、クロック回路の設計の作業を簡単化する。さらに、ローカル・クロックの位相はローカル回路のニーズを満たす。グローバル・クロック信号はより低い電力レベルで動作し、幅広いデータ経路がより大きいドライバを必要とする場合にはローカルにのみより大きい電力を獲得する。多相クロック・システムは、パイプラインのあるステージが別のステージから一定時間を「借用」する「時間借用」を比較的容易にする。さらに、ローカル・クロック信号の位相は、ある種の動作モードでの消費電力を低減するのに適当な極めて低いクロック周波数を含む広範囲のクロック周波数にわたって適切な位相関係を保持する。以下の説明から明らかなように、多相クロック・システムで

は、クロック分配システムを完全に改変することなくデータ経路の設計を変更することができる。さらに、従来のクロックを使用する場合と比較して電流需要がクロック周期に均一に分散される。これらの利点については以下に詳述する。

【0014】

多相クロック分配システムの一実施態様では、クロック信号は複数の位相で関連する回路に提供される。最も簡単な態様では、このシステムは直列に結合された複数のクロック信号生成装置を含み、各クロック信号生成装置は第1の制御信号を直列のクロック信号生成装置の後続のクロック信号生成装置に与えて、そのクロック信号生成装置を第1の状態から第2の状態に切り替えらせ、各後続のクロック信号生成装置は第2の制御信号を直列のクロック信号生成装置の先行クロック信号生成装置に与えて、そのクロック信号生成装置を第2の状態から第1の状態に切り替えらせる。このようにして、各ステージは制御対象の回路と隣接する複数のクロック信号生成装置の両方に適切な位相を備えたクロック信号を生成する。

【0015】

(特定の実施形態の説明)

上記に概説したように、本発明は多数の位相を有する同期クロック信号を生成して分配するシステムを含む。本発明をよりよく理解するために、図の同期クロック・システムを例にして説明する。例示のシステムは、クロック・レジスタ・ファイル12で開始して終了し、経路15で閉じる相互接続された要素20、22および25を含む単一のバイパス・ループを備えた5ステージ・データ・パイプラインとして図1に示されている。(以降、あいまいでない場合、ループをその閉鎖経路への参照で示す。すなわち、バイパス・ループ15は上で定義したループを示す。) このデータ経路を制御するクロック信号は図の左側に示す一連のタイミング・ステージによって生成される。ここでは、R-Clock信号50から導かれたタイミング信号がタイミング・チューン・ステージを1つずつ上り、各ステージが適切な位相のローカル・クロック信号C1、C2、... C5を生成する。図示されたデータ・パイプラインの機能は説明するクロック生成方法の理解には関係ないが、このパイプラインの各ステージS1、S2、... S5

には各々が実行可能な通常の機能、すなわち、セットアップ17、演算論理ユニット（ALU）20、キャリアA22、キャリアB25およびステージ28として示されている。バイパス・ループ15はキャリアBステージ25の結果をALUステージ20に再循環する。図1で固有のラッチ（図示せず）を用いて各データ経路ステージの装置の入力ノード上で入力信号データが取り込まれる。したがって、例えば、ラッチがキャリアAステージの入力端子上に入力データを保持するが、データ保持の他の装置、例えばマスタスレーブ・フリップ・フロップまたはラッチレス・ドミノ論理をその代わりに使用できる。

【0016】

この例のクロック分配システムでは、目標はバイパス・ループ内で循環する単一の値を与え、かつレジスタ・ファイル12からレジスタ・ファイル12に戻る間の2つのクロック周期遅延の全待ち時間を提供することである。例示のために、3つのラッチ（ALU、キャリアAおよびキャリアB内）がバイパス・ループ15の順方向経路にあって、多相クロック・システムが必要に応じて3つの異なるクロック位相を生成する方法を示す（後述）。レジスタ・ファイル12は同期クロックを受信するベースとして扱われる。演算および論理機能を実行するシステムの実際の実施形態は図1に示すよりもはるかに複雑であるが、この例に示す技法は任意のより複合的なシステムに容易に一般化できる。

【0017】

図2は図1のデータ・パイプライン・ステージを駆動するのに使用できるクロック信号の構成を示すタイミング図である。図1で使用する各信号R-Clock、C1、C2、...、C5の各々のクロック信号のタイミング図がこれに対応して図2に符号を付している。図1の装置を運用する例示のタイミング・ポイント30、31、32、33、34、35および39が図2の波形上に点線で示されている。点を結ぶ破線は1組のクロック・タイミング制約条件を共有するクロック・パルスを構成する「テント状突起」40、41を形成している。すなわち、テント状突起内の波形部分は互いに所定の関係を有して装置の適切な動作を保証しなければならない。小さいテント状突起40は、あるデータ値がバイパス・ループ内を循環しなければならないため、グループを形成するクロック信号C2

、C3、およびC4を接続する。テント状突起40は1クロック周期幅で、単一のデータ要素がバイパス・ループ内を循環するのに必要な時間であることに留意されたい。波形C1～C5上の点と共にR-Clock波形上の点は別のそのようなテント状突起41またはグループを形成するが、これはパイプラインから生成されるデータ値がレジスタ・ファイルにタイムリーに再入されなければならないためである。大きいテント状突起41は2クロック周期幅で、パイプライン内で運ばれる2つのデータ値を保持するのに必要な時間である。

【0018】

図3は図1のクロック分配システムに伴うタイミング制約条件を示すタイミング図である。まず、矢印53、54、55などの図の上側を向いた矢印のみを考え、下を向いた矢印は無視する。例えば、クロック信号C2の各クロック縁はその先行クロックC1の対応する縁にのみ依存する。システムのアーキテクチャによれば、図1の各データ経路内の回路の設計者は指定された継続期間と位相の所与のクロックを与えられ、次いで回路をその結果生じるフレームワークに適合させる。図示の構成の代わりに、これらの一対のクロック波形が同一であり、したがって、タイミング・チェーンを短縮できることを認識した上で、R-Clock自体をC3に、C1をC4に、またC2をC5に使用することができる。そのような構成では3相クロックが用いられる。

【0019】

以上説明してきたシステムは（下矢印は依然として無視する）「開ループ」クロック分配システムである。そのようなシステムでは、さまざまなクロック信号の位相はグローバルな観点から事前に注意深く計画しなければならない。そのような開ループ・クロック分配システムでクロック周期を延長するとバイパス・ループが障害になる場合がある。この例では、クロック周期の変更はバイパス経路が課すC2とC4クロック間の制約条件またはレジスタ・ファイルへの書き戻しが課すC5とクロック間の制約条件に違反する。図1のデータ経路に固有のラッチはクロック位相に関する別の制約条件を伴う。これらは矢印56、57および58などの下矢印によって一部が示されている。下矢印を考えると、制約条件はページの上と下に広がっている。

【0020】

図3で、「不透明な」または「ラッチされた」（固有のデータ経路ラッチを指す）という意味のHI信号を考え、「透明な」または「ラッチされていない」（「不透明な」および「透明な」という用語は明白なラッチだけではなくドミノ論理を用いるシステムにより広く適用可能である）という意味のLO信号を考える。したがって、上記に説明し、矢印55で示すように、クロックC3によってステージS3内の対応するデータ経路ラッチは不透明になって、C2がステージS2（ALU）にデータをラッチさせた後で初めて受信データをラッチする。ただし、さらに、下矢印はそれ自体が保持時間を決定する立下りクロック区間の制約条件を表す。例えば、矢印56で示すように、これらの制約条件はクロックC3がその対応するステージS3を透明に戻さず、クロックC4がステージS4を不透明にすることで以前のデータを安全にラッチした後で初めてステージS4に向けて新しいデータを送信することを示す。

【0021】

図3に示す制約条件はバイパス・ループがないパイプラインには十分である。すなわち、図3では、クロック信号を受信するステージによるアクションがそれに隣接する（先行および後続）ステージ以外のステージに影響しない。逆方向の制約条件の明示的な認識を含むパイプライン・データ経路内で使用するようなクロック信号を生成する1つの方法が図4に示されている。図示のように、個別のタイミング・ステージ61、62、... 65は対応するクロック信号C1、C2、... C5を生成する。図3の上矢印の制約条件に対応する「OK to rise」のラベルが付いた信号はこの制御システムを上方向に移動する。図3の下矢印の制約条件に対応する「OK to fall」のラベルが付いた信号はこの制御システムを下方向に移動する。各タイミング・ステージ61、62などは、次に必要な適当な「OK」を受信した後で初めて応答する。このようにして必要なクロック信号が生成される（バイパス経路は無視する）。

【0022】

図1のバイパス経路15はそのループ内のステージに対して別のクロック制約条件を課す。これらの別の制約条件は図5に太い破線70、71、72、73、

74および75で示されている。クロックC2によって制御される(ALU20の入力ノード上で)ラッチは、両方のクロックC1およびC4がデータ取り込みを引き起こしてから初めて不透明になりまたはラッチされることで新しいデータを取り込むことができる。したがって、クロックC2の立ち上がり区間には二重の制約条件が課される。この二重の制約条件はクロックC2の立ち上がり区間へのポインタを有する2つの矢印70、76の存在によって示されている。同様に、クロックC4は、クロックC4によって制御されるステージであるステージS4から両方のクロックC2およびC5がデータを取り込ませた後で初めて対応するデータ経路S4内で透明に戻る。したがって、クロックC4の立ち下がり区間には二重の制約条件が課される。この二重の制約条件は、クロックC4の立ち下がり区間へのポインタを有する2つの矢印73、77の存在によって示されている。

【0023】

図6は図5の波形を生成するクロック生成システムのブロック図である。前記と同様に、クロック生成装置は互いに位相関係にある対応するクロック信号C1、C2...C5を生成する直列のタイミング制御ステージ61、62、...65を含む。ただし、このシステムは位相関係を保証するタイミング・ステージ62と64との間の経路85と86の明示的な制御信号を含む。図6の「init」のラベルが付いたボックス87、88は一对のバイパス・ループ85、86を循環する制御「トークン」を提供する。アンパーサンド(&)を含む小さいボックスはバイパス・ループ85(／86)上の信号とステージ80(／84)からの「OK to rise」(／「OK to fall」)信号の両方が次のステージに存在しなければならないことを示す。言い換えれば、アンパーサンドはAND機能を実行するゲートを表す。

【0024】

図6のクロック分配システムのトポロジと図1のデータ経路のトポロジとの間にはかなりの類似性がある。図1のバイパス経路15はクロック分配システム内の対応する一对の経路85、86を発生させ、レジスタ・ファイル12に戻る外部経路16(図1)は、多相クロック分配システム内の対応する外部経路89を

生み出している。レジスタ・ファイルはその出力信号を定期的に配信するため、R-ClockはHIになる際に（すなわち、クロックC1上で立ち上がりに遷移する際に）第1のタイミング・ステージ61を「示す」が、レジスタ・ファイルはタイミング・ステージ61からの返送「OK to fall」信号を無視する。同様に、レジスタ・ファイル12はデータ経路ステージS5から定期的にデータを取り込んで「OK to fall」（すなわち、クロックC5上で立ち下がりに遷移する）になった時にタイミング・ステージ65に指示する。ただし、レジスタ・ファイル12はタイミング・ステージ65からの対応する「OK to rise」信号を無視する。

【0025】

多相クロック分配システムを採用する時には、設計者はタイミング・パイプラインの第1および最後のステージ61および65がそれぞれ適当な時間に準備が整っていることを（これらのステージがこのタイミングを処理する他のステージに接続されることなく）保証する責任がある。ステージ61とステージ65との間に含まれるタイミング・ステージはそれ自体がローカル・クロック間の適切な位相関係を保証する。システム全体の適切な動作を保証するために、設計者は内部要件と終了条件のみを考える必要がある。

【0026】

バイパス・ループが空きの場合、使用時にループが課すタイミング制約条件を回避することができる。その場合、厳密なスケジュールで動作する従来のクロック分配システムよりも速度を稼ぐことができる。ただし、これまでの経験では、大半の場合に、データ値が制約条件が不要であることを示す時にそのような制約条件を回避することは有益である以上に困難であることを示している。したがって、一般に、データが実際にデータ経路ループを循環しているか否かに関わらず、データ経路内の潜在的なループが多相クロック分配システム内に対応するループを発生させるシステムが好ましい。

【0027】

図7は図1のデータ経路を例に用いた多相クロック分配システムの特定の実施形態のブロック図である。図7の回路は周波数が同期しているクロック信号を分

配するMuller C要素101、102、... 105を含む。これらのMuller C要素は位相がデータ経路によって課された制約条件に適合するローカル・クロックを生成する。そのようなシステムはデータ経路回路が有用と考えるだけの数の位相のクロック信号を提供し、各ローカル・クロックの位相をローカルなニーズに合致させる。Muller C要素は両方の入力端子がHIになった後で初めてHI出力信号を生成し、両方の入力端子がLOになった後で初めてLO出力信号を生成する。これは、Muller C要素が入力端子の状態が異なる時に以前の出力状態を保持するということを意味する。重要なことは、多相クロック分配回路では、Muller C要素の入力端子の1つの状態が他方の状態が変化せずに連続して2回変化することはないことである。多相クロック分配システムでは、両方の入力端子はいずれの場合も状態を変え、いずれかの入力端子が再び状態を変える前に、それに対応して出力信号の状態が変化する。

【0028】

Muller C要素はここでは例示の実施形態について説明しているが、「ランデブー」要素などのその他の回路要素も使用できる。シーケンス外の入力があるとランデブー要素はエラー信号を生成するが、Muller C要素はそれをそのまま受け付ける。

【0029】

本明細書に記載するクロック生成回路は「イベント」伝送を使用するが、その他の伝送形式も使用できる。イベント伝送では、最も簡単な要素はレベルの変化、すなわち、「イベント」と呼ばれる遷移である。遷移が立ち上がりイベントと呼ばれるLOからHIへの遷移であるか、立ち下がりイベントと呼ばれるHIからLOへの遷移であるかは差を生じない。各々がイベントであり、両方とも同様に扱われる。

【0030】

Muller C要素は出力端子が状態を変えると「点火する」と言われる。Muller C要素が点火すると、出力端子上にイベントを生成する。上記のように、Muller C要素はその両方の入力端子の状態の変化に応答して点

火する。したがって、Muller C要素はイベント論理に関してAND機能を提供する。XOR（またはXNOR）回路は各イベント論理についてOR機能としての働きをする。XOR/XNOR要素はその入力端子のいずれかが状態を変えるとその出力端子の状態を変える。したがって、XOR/XNOR要素はいずれかの入力でのイベントに応答してその出力にイベントを生成する。重要なことは、多相クロック・システムでは、XOR/XNORの両方の入力端子は同時に変化しないことである。公開された論文の中には「融合」要素とXOR/XNOR回路とを区別するものがある。融合要素は以前の入力信号に応答できる前にいずれかの入力端子上に後続のイベントが与えられると、エラー信号を発生する。したがって、多相クロック分配回路はXOR/XNOR回路の代わりに融合要素を使用することができる。あるいは、システムは「逆トグル」要素として知られている融合要素の特別なケースを使用することができる。共通に譲渡された「Inverse Toggle XOR and XNOR Circuit」と題された1997年3月7日提出の米国特許出願第08/813054号を参照されたい。逆トグル要素は2つの入力端子上で交互に入力イベントを受信する。したがって、一方の入力端子上のイベントによって出力端子はHIに遷移し、他方の入力端子上のイベントによって出力端子はLOに遷移する。

【0031】

図7に示す多相クロック回路のより詳細な実施形態はタイミング・ステージ61、62、...、65の各々の中核を示す。各タイミング・ステージは少なくとも1つのシールド形のMuller C要素101、102、...、105を含む。例えば、Muller C要素102が点火して、対応するデータ経路ステージが不透明になった時には、イベント信号が両方の隣接するステージに供給される。上記の後続のタイミング・ステージ63の場合、この信号は図4の波形の上方向の制約条件に対応する。すなわち、Muller C要素の点火はその関連するデータ経路ステージが不透明になったことと、上記データ経路ステージがこのデータを取り込めることを示す。下記の以前のデータ経路ステージS1の場合、この信号は図4の下方向の制約条件に対応する。これはステージS1が保持しているデータを廃棄し、透明になり、究極的には新しいデータ値を上方向に搬

送できることを示す。

【0032】

上記の動作は極めて迅速に実行される。Sun Microsystems Laboratories（本明細書の譲受人の子会社）では、ステージ63のようなステージのチェーンを含むが、閉じた環に接続された回路が構成された。その回路は周期あたり約5ゲート遅延して動作する。0.6ミクロンのCMOS集積回路技術を用いて、正規ステージの内部処理能力は約1GHzで、対応する周期時間は1ナノ秒をわずかに超えた値である。

【0033】

図7で、信号C4およびC5を生成するタイミング・ステージ64および65はタイミング・ステージ61、62および63とは異なる構成のインバータを有する。これらのインバータ134および135はデータ経路ループに対応するタイミング・バイパス・ループ内に初期条件を確立する。インバータ134の位置はタイミング・バイパス・ループ85が1つの制御トークンで開始し、したがって、データ経路バイパス・ループ15（図1）内では、3つのステージS2、S3またはS4の1つが不透明なままであることを保証する。2つのインバータ134および135は共に大きいループ16（図1）が常に2つのデータ要素を適宜含むことを保証する。

【0034】

次いで、バイパス・ループ15（図5の太線の制約条件70、71、72、73、74、および75）を考える。図7は一对の対応するタイミング85、86を示す。ステージ62、63、および64は共に3相発振器を提供する。図7はまた図6のANDゲート91と92の働きをする2つの追加のMuller C要素110、111も含む。これらのMuller C要素110、111は一对のタイミング・ループ85、86内のアクションをその上と下のタイミング・ステージ内のアクションと整合する。例えば、Muller C要素102が発火できる前に、Muller C要素110は下のMuller C要素101から「OK to fire」信号とMuller C要素104から経路85を介して同様の信号を受信しなければならない。

【0035】

図7にはクロック信号C1、C2、... C5を配信するXNORゲート121、122、... 125も示されている。これらのXNORゲートへの入力端子はそれぞれの「透明な」と「不透明な」に対応するTとOの印が付いている。TとOのイベントは、それぞれの「透明な」と「不透明な」に対応する。O入力上のイベントがあると常に対応するデータ経路ラッチは不透明になり、T入力上のイベントがあると常に対応するデータ経路ラッチは透明になる。これらのXNORゲート121、122... 125への2つの入力信号は交互に入れ替わるため、上記の逆トグル実施形態を使用して速度を上げることができる。XNORゲートへの入力の状態が異なる時には、C1～C5上のXNORゲートからのLO出力によって対応するデータ経路ラッチは透明になるがHI出力の場合は不透明になる。

【0036】

図7はまたレジスタ・ファイル12を駆動するクロック信号R-Clockを受信するタイミング・パイプラインの接続を示す。クロックへの接続は、クロックがクロックC1を提供するステージ61に関連するMuller C要素101にレベルではなくイベントを配信するという点で特別である。これは図6にも示されている「OK to rise」イベントである。レジスタ・ファイルはまたクロックC5を提供するステージ65のMuller C要素105にイベント入力を配信する。これは図6にも示されている「OK to fall」信号である。図示の回路はイベント論理を使用するため、これら2つの信号は、レジスタ・ファイル12のR-Clock信号から取り出されたイベント信号である。

【0037】

レジスタ12に提供される各R-Clockイベントはパイプラインの最下部に新しいデータ要素を挿入し、最上部から1つのデータ要素を取り出す。したがって、最初に2つのデータ要素がある場合、常に2つのデータ要素があることになる。以下に、2つのデータ要素をステージのチェーンに最初に導入する方法について説明する。これを達成する方法はインバータ131、132、... 13

5およびMuller C要素の正確な初期化を含む。

【0038】

3つのタイミング・ステージ61、62、63は下方方向に向いたインバータ131、132、および133を有する。これらは最初空のデータ経路ステージS1、S2、S3に対応する。2つのタイミング・ステージ64、65は上方方向に向いたインバータ134、135を有する。これらは初期満杯のステージに対応する。インバータをこのように注意深く配置することで、パイプラインを任意のループ構造で作成して任意の数の初期要素を含め、これらの要素を任意の初期位置に配置することができる。初期満杯のデータ経路ステージ内に保持された初期データをゼロに初期化し、又は無効の印を付けることができるのは当然である。

【0039】

初期満杯の要素の数は回路の各分岐のクロック周期待ち時間を確立する。この例では、バイパス・ループの1タイミング・ステージ64は初期満杯である。これは図2の小さい方の「テント状突起」40の幅に対応する。外部ループはその一方をバイパス・ループと共有する2つの満杯のタイミング・ステージ64、65を有する。これは図2の大きい方の「テント状突起」41の幅に対応する。図2の「テント状突起」はいくつのステージが反転インバータを必要とするかを示している。最初どのステージを満杯にするかの選択はそれ以外の点では任意である。

【0040】

次に、R-Clock信号がHIになる時に何が起こるかを考える。レジスタ・ファイルはデータ経路ステージS5によって提供されるデータを取り込む。さらに、タイミング・ステージ65のXNORゲート125の上部入力端子の変化によって、データ経路ステージS5のラッチは透明になり、データ経路ステージS4からデータ経路ステージS5にデータが送信される。その直後に、タイミング・ステージ65のMuller C要素105が発火し、今一度S5のラッチを不透明にしてLO入力を下方方向に向いたMuller C要素111に提示する。

【0041】

一方、タイミング・ステージ61で、Mu l l e r C要素101が発火し、ステージS1のラッチを不透明にする。これらのラッチはレジスタ・ファイルによって提示されたデータをすでに取り込んでいる。上方向を向いたMu l l e r C要素110は2つのH I状態の入力端子を有し、発火する。その結果、タイミング・ステージ62のMu l l e r C要素102も発火し、ステージS2のラッチを不透明にする。レジスタ・ファイル・データはステージS2によって取り込まれる。

【0042】

タイミング・ステージ62のMu l l e r C要素102が発火すると、3つの場所、すなわち、上と下の隣接するタイミング・ステージ61および63と、ステージ64とにイベント信号を送信する。タイミング・ステージ61で、このイベントによって再びステージS1のラッチは透明になる。同様に、XNOR124を介してステージ64に至る信号によってデータ経路ステージS4は透明になる。最後に、データ経路ステージS3のラッチを不透明にし、データ経路ステージS2のラッチを透明にすることでデータ経路ステージS2のデータのS3への取り込みを発火する。これでステージ64の発火準備が整い、データがS3からS4に転送される。第1のレジスタ・ファイル・データはステージS4に到達して、周期の最初そうであったようにこのステージを満杯にする。

【0043】

各クロック・イベントは新しいデータ要素をステージS1に入れると同時にS5から1つのデータ要素を取り出す。クロック・イベントがゆつくりと発生する場合、データ要素はクロック・イベント間のステージS4とS5の間に常駐する。ステージS5内のデータ要素は次のクロック・イベントまで進行しない。ステージS4内のデータ要素は次の周期でステージS2によって必要とされるため、進行しない。ステージS1、S2およびS3は空で、ステージ2からはステージS4のデータが利用できる。

【0044】

クロック・イベントがより頻繁に発生する場合、データがクロック・イベント間で進行する時間は短くなる。設計速度では、1つのデータ値は次のデータ値が

ステージS 1に到着するのと同時にステージS 4に到着するため、ステージS 2は同時に利用可能な両方の必要なデータ値を有する。さらに、データがステージS 1がレジスタ・ファイルから次の提供を得る時にレジスタ・ファイルによって取り込まれるのと同時にステージS 5に到着する。フル動作速度でローカル・クロックC 1、C 2、... C 5が図5に示すように発生する。図7の回路内のタイミング・ステージの間の遅延要素を含めてデータ経路ステージのローカル・タイミング限度を反映しなければならないことは当然である。図8は、例えば、タイミング・ステージ6 2と6 3との間に導入された遅延要素1 4 5および1 4 7を示す。イベント・シーケンスは上記のままであるが、イベント間に必要な実際の遅延はデータ経路の詳細によって異なる。

【0045】

本明細書に記載された多相クロック・システムの1つの特殊な態様はその柔軟性である。各々がラッチを有するステージのパイプラインはいかなる1つの時点でも正確に2つのデータ要素を保持する。パイプラインは2クロック周期の待ち時間、および1クロック周期の内部ループを有する。多相クロック分配システムは実際のデータ経路の制約条件を正確に認識し、それらが確実に満たされるようにする。

【0046】

そのようなクロック分配システムを構築する作業は各ステージの別々の部分に分割できる。各部分はそのステージのデータの送信元または宛先に対応するクロック分配システムの部分とのみ通信する。各部分はデータ経路のそのローカルな部分の遅延制約条件を具体化する。全体の機能は、(1) システムのあらゆる部分が十分な処理能力を有し、(2) 設計の各分岐の実際の待ち時間がそれに割り当てられたクロック間隔より短い場合にのみ保証される。多相クロック分配システムは、所望の任意の数のループまたは特別の通信経路を収容し、希望するだけの数のラッチング要素をそこに組み込むことができる。そのような回路を設計する1つの技法はP 3表記法を使用し、本発明人の同時出願の譲受人を共通にする、1997年12月17日提出の「Method and Modules for Control of Pipelines Carrying Dat

a Using Pipelines Carrying Control Signals」と題された米国特許出願第08/953767号に記載されている。

【0047】

実施形態技法として使用されるだけでなく、多相クロックは設計ツールとしても使用できる。多相クロック分配ネットワークのシミュレーションによってそれが具体化するタイミング制約条件との不適合性が明らかになっている。多相クロックは複合チップ内のタイミング制約を符号化し、取り込み、モデル化し、シミュレーションする方法を提供する。

【0048】

多相クロック・システムを構築するには、制御対象のデータ経路のタイミング制約条件を決定しなければならない。複合チップは数十万のそのようなローカル・タイミング制約条件を有する場合がある。そのようなタイミング制約条件を収集し、モデルの多相クロック分配ネットワークを構築することができる。自励発振速度はシステム内で具体化されたタイミング制約条件の全体性を反映するため、そのようなモデルの自励発振速度はそのようなシステムを実行できる最大速度を表す。例えば、データ経路の長いループによってそのようなループ内の1つの任意のリンクが必要とするよりも遅い動作が実行される。さまざまな遅延制約条件の組み合わせの結果が早期に明らかになる。

【0049】

さらに、そのようなモデルは1組のタイミング制約条件の速度制限を表すだけでなく、どの制約条件が全体の速度を制限するかを表す。多相クロック回路のふるまいを検証することで、どのデータ経路が十分に速く動作するか、全体の速度を制限するのはどのデータ経路であるかを発見することができる。この情報を用いてさらに高速の動作のための設計を改良することができる。

【0050】

また、多相クロック分配システムによって動作マージンを検査することができる。このために、遅延要素145、147、...を可変遅延要素と交換することでタイミング・ステージ遅延を可変にしなければならない。これらの遅延要素

の制御はそのような遅延要素の各々の次に値が遅延を公称値にするかまたは試験に有用である選択された量だけ公称値より遅くまたは速くする小型制御レジスタを提供することで達成できる。市販の半導体試験装置を用いて値をこれらの制御レジスタに入力し、チップの各部分を可変量だけ公称値より遅くまたは速く動作させることができる。試験装置は受信側でのクロック信号を高速化するか送信側でのクロック信号を遅延させるかによって特定のデータ経路にストレスを加えることができる。この装置は破損するまでストレスを次第にかけて各データ経路を試験できる。そのような機構によって今までは実現できなかった動作マージンの試験が可能になった。各データ経路の破損時のストレスの記録によってそのチップの堅牢さがはかれる。また、あるデータ経路上の非特徴的な小さいストレスの下で特定のチップが破損することに気付くことで特定のチップの初期障害を検出することが望ましい。同一のデータ経路の小さいストレス下で全てのチップが一貫して破損することは、チップの設計が弱いことを示す。すべてのチップの同じデータ経路に大きなストレスをかけて常に正確に運用することで過剰設計を検出でき、製品の改良に結び付く。多数のチップの代表的な各データ経路のマージンを比較することで性能を強化するさらなる設計努力に焦点が当てられる。

【0051】

以上の説明から明らかなように、上記の多相クロック・システムは多数の利点を有する。多相クロック分配システムは、データ経路からの各接続がクロック信号に制約条件を課していることを認識する。このシステムはこれらの制約条件を具体化する回路を含む。データ経路内に接続がない場合、クロックの制約条件はなく、クロック分配システム内に接続はない。したがって、データ経路によって課された制約条件を具体化するクロック分配システム内の回路はそのトポロジがデータ経路のトポロジに厳密に適合する回路のネットワークを構成する。

【0052】

間接的な対話しか有さないレジスタのクロック間のスキューは無視できる。これによってグローバルなクロック・スキュー仕様によって課されるいかなる人工的な制約条件に適合することも不要になる。多相クロック分配システムはデータ経路によって課されるクロック・スキューの実際の制約条件を認識し、それらの

条件をローカル回路として表す。こうして多相クロック分配システムはチップ幅のクロック・スキューのグローバルな技術工学の問題を実際の制約条件を識別して表すローカル・タスクに変容させる。

【0053】

パイプラインの1つのステージが隣接するステージからある時間を「借用する」ことが望ましい場合がある。そのような時間借用はパイプラインの連続するステージが異なる固有の遅延を有している時には手軽である。それらの間のラッチのクロックを調整して長い方の時間は延ばして短い方の時間は減らすことが望ましい。多相クロック分配システムによって任意のラッチのクロックは、時間借用が必要な場合にわずかに遅延した、また進んだ位相を含む任意の所望の位相を有することができる。

【0054】

多相クロック・システムはまた電力を節約する。多相システム内でクロックを調整する信号は低電力レベルで動作する。含まれるゲートは簡単である。長いケーブルを駆動する必要がある場合、中継装置を使用してもよい。さらに、システムのデータ処理部内の長距離通信経路ごとにクロック分配システム内に並列経路が備わる。クロック分配システムのこの部分の中継装置は長距離データ経路内でラッチまたはレジスタを中継するローカル・クロックを提供できる。

【0055】

別の利点は、クロック分配システムはデータ経路に並列なため、クロック分配システムをローカル・データ経路の変更に適合させることができる。そのような変更の各々はクロック分配システムのローカルな変更しか必要としない。システムの他の部分のタイミング制約条件は変化しなかったため、それらの点でのクロック分配システムは変更する必要がない。

【0056】

以上説明してきたように、多相クロック分配システムはさまざまな位相を有するローカル・クロックを生成する。各ステージはそのローカル・クロックによって決定されるスケジュールで電流を引き出す。そのようなローカル・クロックが多数あり、それらの位相は独立していれば、全体の電流は、すべてほとんどスキ

ューがない位相のローカル・クロック信号を生成するシステムの場合と比べて均一といえる。この結果、ローカルなバイパス・コンデンサの必要が低減し、電源供給線のインダクタンスによって引き起こされる供給電圧の変動が抑えられる。

【0057】

さらに別の利点は、多相クロック分配システムによってパイプライン内のラッチまたはラッチ同等物の数をクロック間隔のパイプラインの待ち時間より大きくできる。アーキテクチャの一部としてクロック間隔待ち時間の数を各パイプラインに割り当てることができる。ローカルな設計者は設計の便宜として、自由により多くのレジスタまたはラッチ、あるいはドミノ・ラッチの同等物を含めることができる。多相クロック分配システムは所望するだけの数のそのようなラッチに適切なローカル・クロックを提供する。これは、3つ以上のドミノステージを割り当てられた待ち時間内の各クロック間隔でパイプラインに含めなければならないドミノ論理のループで特に重要である。

【0058】

以上、本発明の実施形態について説明した。首記の特許請求の範囲に請求された本発明の精神から逸脱することなく、図示の特定の回路をさまざまに変形することができることを理解されたい。例えば、ここに記載したシステムはイベントを遷移として符号化するが、別の符号化方法も可能である。

【図面の簡単な説明】

【図1】

多数の位相のクロックによって制御されるコンピュータ・システム内のパイプラインの例を示す図である。

【図2】

図1に示すクロック信号のクロック波形を示すタイミング図である。

【図3】

さまざまなクロック信号生成装置ステージによって供給されるクロック波形信号の制約条件を示すタイミング図である。

【図4】

パイプライン制御回路を示すブロック図です。

【図 5】

図 1 の回路内のバイパス・ループによって課される制約条件を示すタイミング図である。

【図 6】

図 1 に示す、ただしバイパス・ループを含むクロック生成装置のブロック図である。

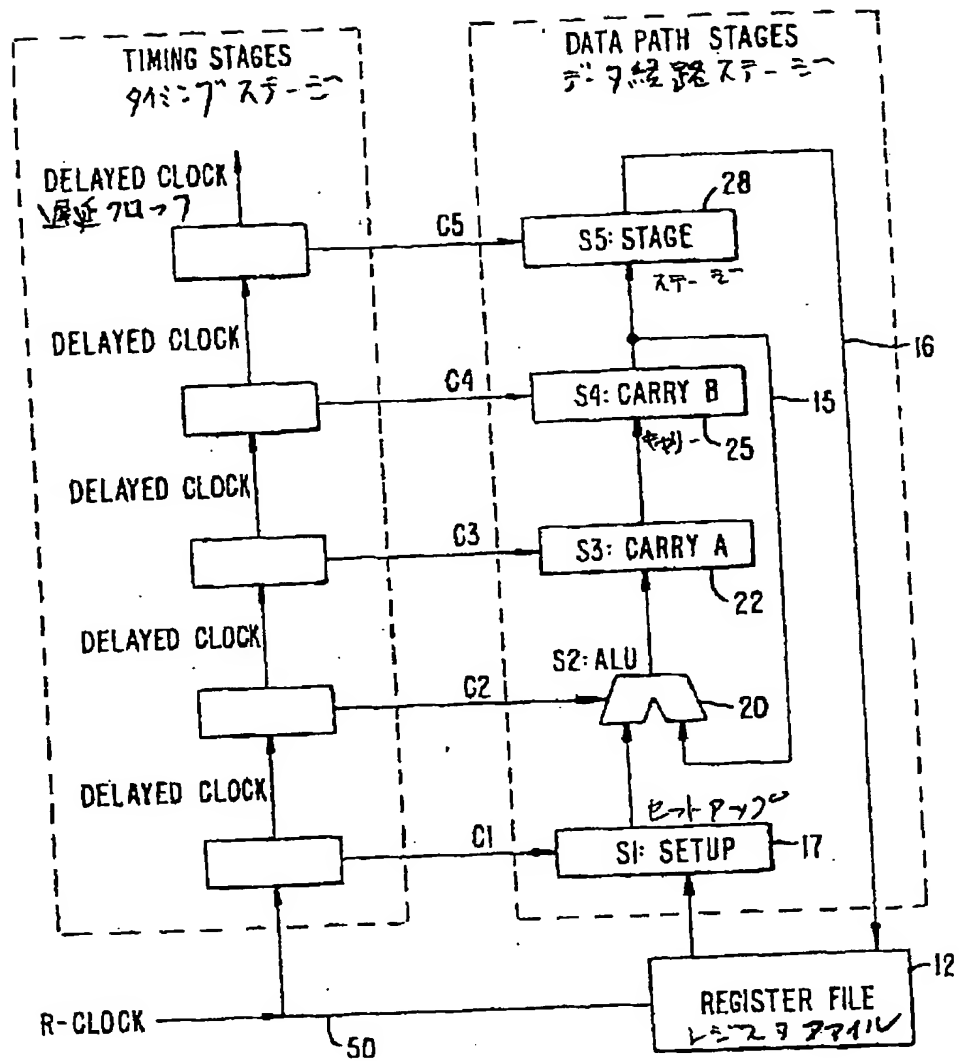
【図 7】

図 6 に示すブロック図の構成要素を示すより詳細な図である。

【図 8】

図 7 に示すタイミング・ステージ間の遅延要素の導入を示す図である。

【図1】



【図2】

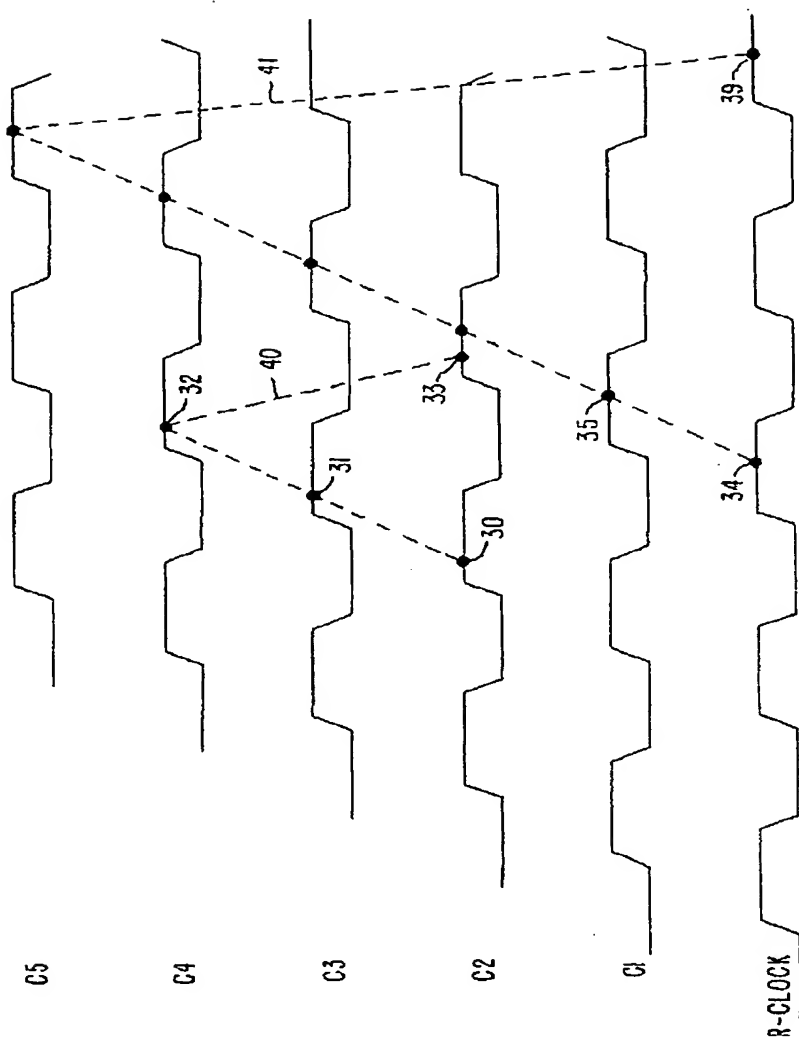


FIG. 2.

【図3】

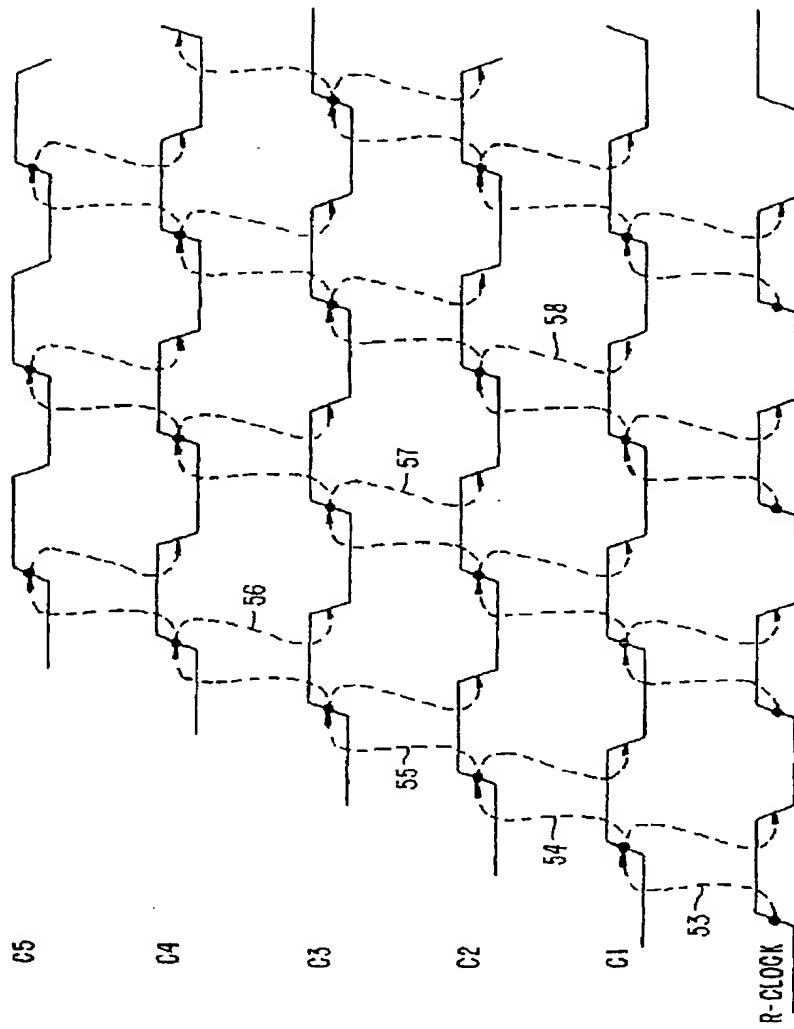


FIG. 3.

【図4】

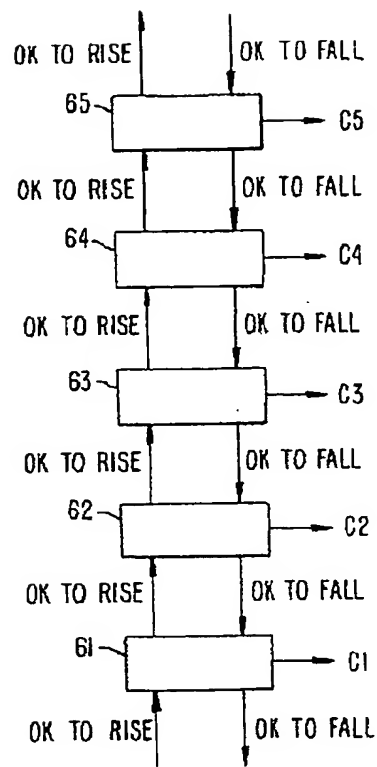


FIG. 4.

【図 5】

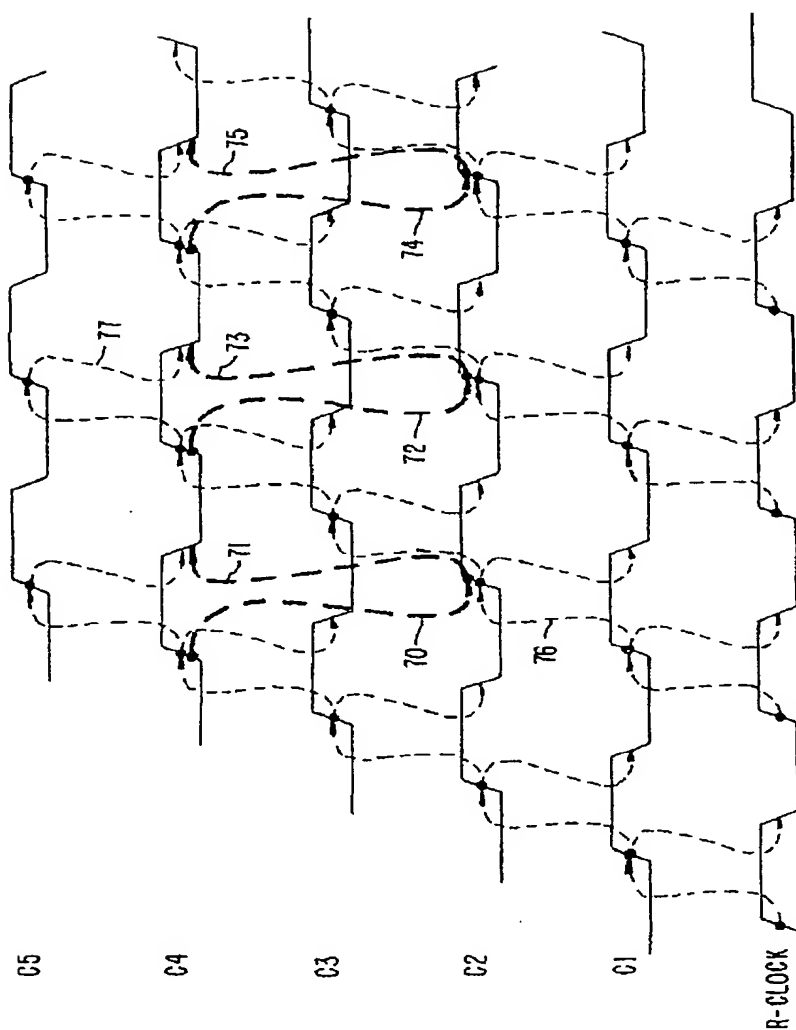
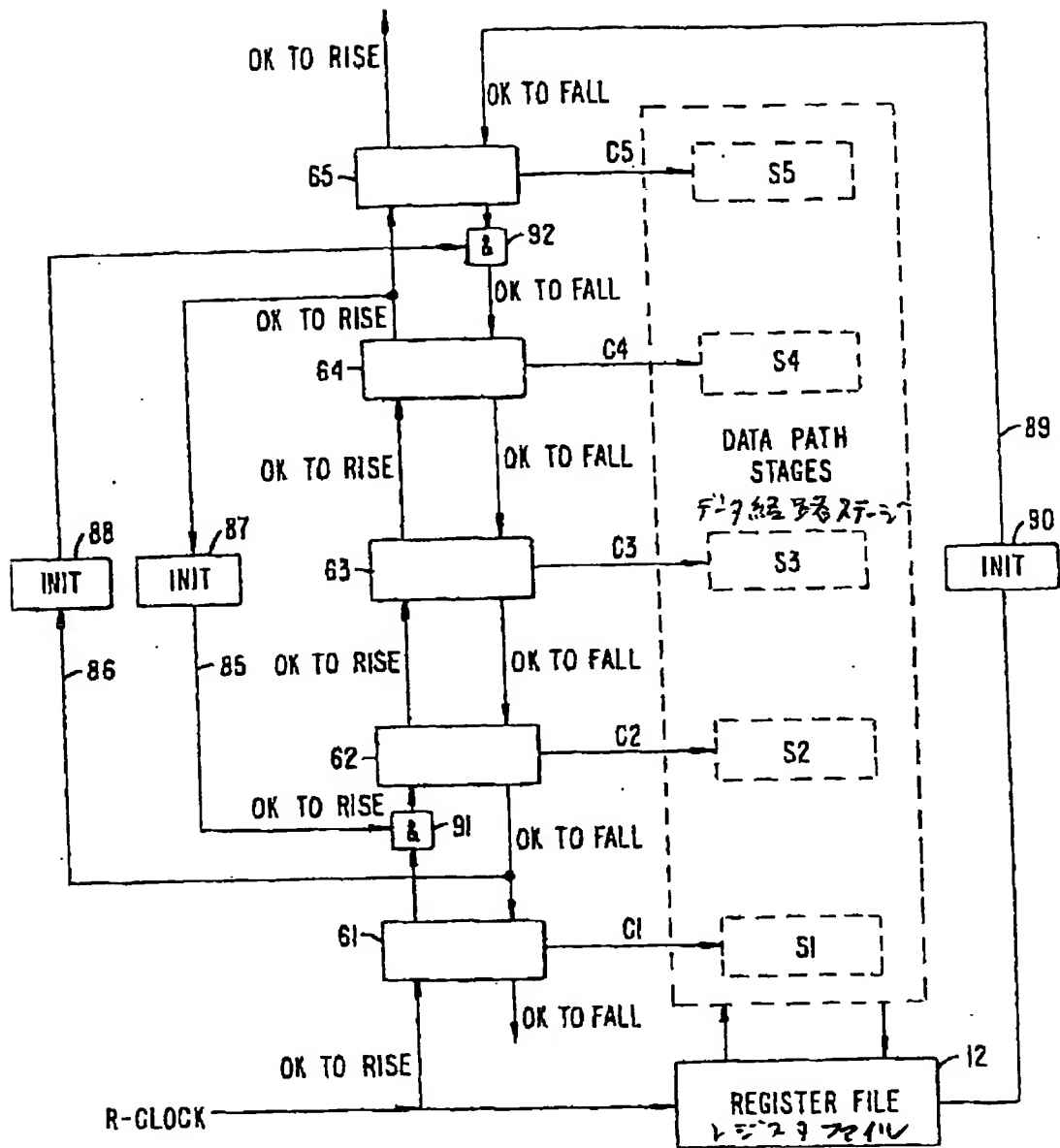
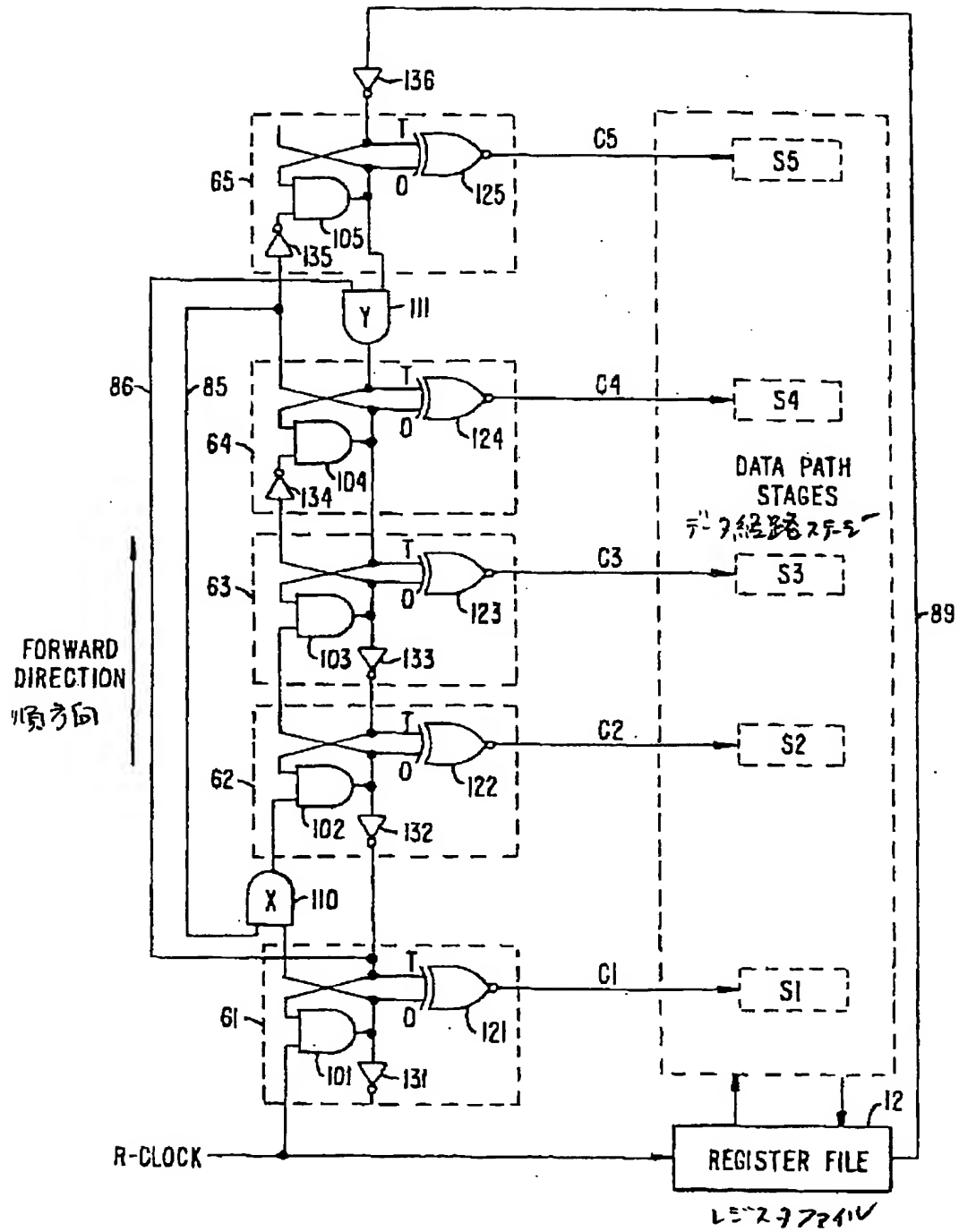


FIG. 5.

【図6】



【図 7】



【図 8】

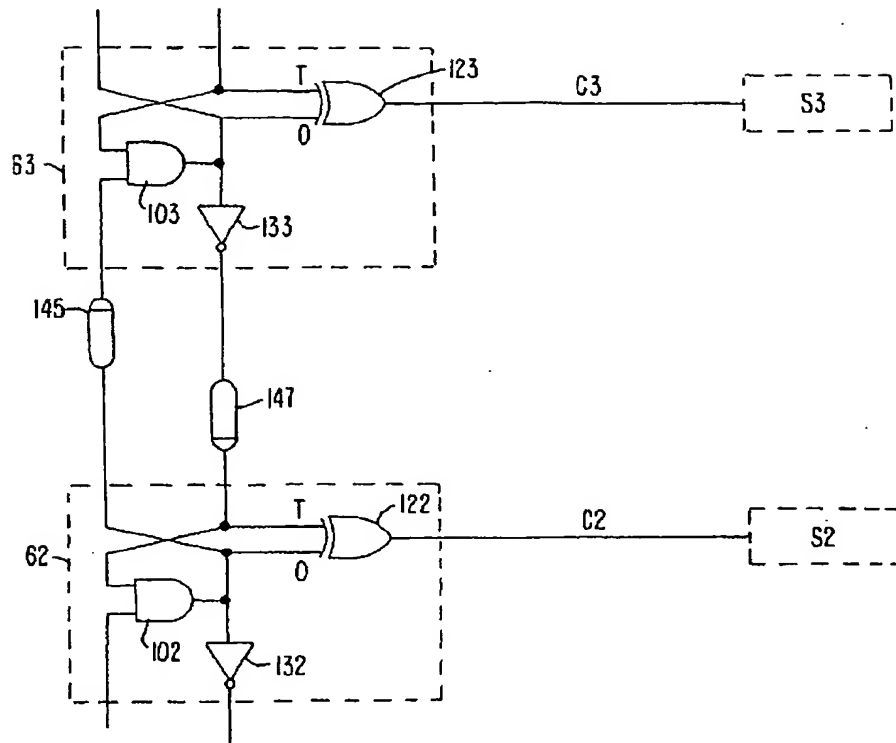


FIG. 8.

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 99/16997		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F1/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 463 854 A (NIPPON ELECTRIC CO) 2 January 1992 (1992-01-02) the whole document	1,11
X	US 5 306 962 A (LAMB JOEL D) 26 April 1994 (1994-04-26) column 5, paragraph 2 - paragraph 3; figure 3	1,11
X	EP 0 675 596 A (NIPPON ELECTRIC CO) 4 October 1995 (1995-10-04) column 13, paragraph 2 - column 18, paragraph 3; figures 12-16	1,11
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
23 December 1999		11/01/2000
Name and mailing address of the ISA European Patent Office, P.O. 5016 Patentamt 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax (+31-70) 340-3018		Authorized officer Clarelli, N

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 99/16997

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0463854 A	02-01-1992	JP 2570471 B	08-01-1997
		JP 4054721 A	21-02-1992
		DE 69120149 D	18-07-1996
		DE 69120149 T	24-10-1996
		US 5155379 A	13-10-1992
US 5306962 A	26-04-1994	US 5124572 A	23-06-1992
EP 0675596 A	04-10-1995	JP 7273618 A	20-10-1995
		US 5596296 A	21-01-1997

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW

(71)出願人 901 SAN ANTONIO ROAD
PALO ALTO, CA 94303, U.
S. A.

Fターム(参考) 5B079 BC10 CC02 CC14 DD08 DD17
5J039 EE15 EE24 KK04 KK10 KK11
KK13 MM01 MM04
5J106 AA03 BB03 CC58 DD31 DD38
DD42 DD43